

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-304238

(43)Date of publication of application : 28.10.2004

.....
(51)Int.Cl. H04N 1/41
H04N 7/30

.....
(21)Application number : 2003-091307 (71)Applicant : RICOH CO LTD

(22)Date of filing : 28.03.2003 (72)Inventor : KADOWAKI YUKIO

.....
(54) IMAGE COMPRESSING APPARATUS AND COMPRESSION CODING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image compressing apparatus capable of rapidly compressing image data to a target code amount with a simple configuration while maintaining the quality of a reproduced image as much as possible.

SOLUTION: This image compressing apparatus is provided with a coding section for coding coefficient data obtained by applying frequency processing to the image data, for each processing unit to generate the code data; a data reducing section for reducing the amount of the code data by reducing the code data generated for each processing unit in the coding section; and a data processing section for further dividing the coefficient data for each processing unit into coefficient data of a second processing unit, and increasing the reduced amount of the code data in the data reducing section for each second processing unit, according to a value of the coefficient data of the second processing unit.

.....
LEGAL STATUS [Date of request for examination] 31.08.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

The coding section which encodes the multiplier data obtained by carrying out frequency analysis of the image data for every batch, and generates code data,

The data reduction section which reduces the amount of code data by the above-mentioned batch,

Picture compression equipment characterized by having the data-processing section which divides further the multiplier data or the code data of each batch into the 2nd batch, and increases the amount of deletion of the code data in the above-mentioned data reduction section by the 2nd batch of the above according to the magnitude of the multiplier data of the 2nd batch, or code data.

[Claim 2]

In picture compression equipment according to claim 1,

The above-mentioned data reduction section the truncation data which decide the contents which delete the code data corresponding to the data by the side of the lower bit of multiplier data among code data to be each batch So that it may

follow on the increment in data No. and the amount of deletion of code data may increase or decrease gradually And the truncation table put in order so that the quality of a playback image might deteriorate or improve gradually, The rate control section which specifies data No. of one truncation data which can be regarded as the variate of code data after deleting the code data of each batch according to truncation data being desired value is included. Picture compression equipment which deletes code data based on the truncation data of data No. specified by the above-mentioned rate control section.

[Claim 3]

It is picture compression equipment according to claim 1 or 2, and is picture compression equipment which performs coding processing based on JPEG2000, The above-mentioned coding section performs two-dimensional dispersion wavelet transform as the above-mentioned frequency analysis, divides the wavelet multiplier obtained by carrying out two-dimensional dispersion wavelet transform of the image data into the subband which is a batch, algebraic-sign-izes the wavelet multiplier of each subband, and generates code data,

The above-mentioned data reduction section reduces the amount of code data

by deleting the code data corresponding to the data by the side of the lower bit of multiplier data among the code data generated per subband which is the above-mentioned batch,

The above-mentioned data-processing section is picture compression equipment which increases the amount of deletion of the code data in the above-mentioned data reduction section per code block according to the value of the data which divide the subband which is the above-mentioned batch into the code block which is the 2nd batch, process the wavelet multiplier or the wavelet multiplier concerned of each code block, and are obtained.

[Claim 4]

In picture compression equipment according to claim 3,

The above-mentioned data-processing section is picture-compression equipment including the masking multiplier count circuit which specifies the augend about the code block concerned of the amount of deletion of the code data performed in the above-mentioned data reduction section according to the value of the average which calculated in the average calculation circuit which calculates the average of the data which process the wavelet multiplier or the wavelet multiplier concerned of an effective pixel of each code block, and are

obtained, and the average calculation circuit.

[Claim 5]

In picture compression equipment according to claim 4,

The average-value calculation circuit with which the above-mentioned data-processing section is equipped is picture compression equipment which calculates the average value of the data which quantize the wavelet multiplier of the effective pixel of each code block, and are obtained.

[Claim 6]

In picture compression equipment according to claim 4,

The average-value calculation circuit with which the above-mentioned data-processing section is equipped is picture compression equipment which calculates the average value of the data obtained by algebraic-sign-izing the wavelet multiplier of the effective pixel of each code block.

[Claim 7]

It is the compression coding approach of image data,

The coding process which encodes the multiplier data obtained by carrying out frequency analysis of the image data for every batch, and generates code data,

The data reduction process which reduces the amount of code data by the

above-mentioned batch,

The picture compression approach characterized by changing at the data-processing process which divides further the multiplier data or the code data of each batch into the 2nd batch, and increases the amount of deletion of the code data in the above-mentioned data reduction process by the 2nd batch of the above according to the magnitude of the value of the multiplier data of the 2nd batch, or code data.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the picture compression equipment and the compression coding approach of performing compression coding of image data based on JPEG2000 grade.

[0002]

[Description of the Prior Art]

JEPG2000 is known as the compression coding approach of having been suitable for dealing with a highly minute image in recent years. In coding processing of JPEG2000, after changing image data into the data of each color component of Y, Cb, and Cr, two-dimensional dispersion wavelet transform is performed as frequency analysis to each data. The data (for example, 16 bit data) of the wavelet multiplier obtained by wavelet transform are divided into a

bit plane by making a subband (in for example, the case of the wavelet transform of level 3 3LL, 3 HL, 3LH, 3 HH, 2 HL, 2LH, 2 HH, IHL, 1LH, 1 HH) into a batch, the data of each bit plane are scanned by three kinds of approaches sequentially from a high order for every subband, and algebraic-sign-ization is performed. The three above-mentioned kinds of approaches are called "significant propagation pass", "magnitude refinement pass", and "cleanup pass."

[0003]

Compression (reduction) of code data is performed by deleting to homogeneity the code data of the coding pass of all code blocks of each subband obtained with the scan by the three above-mentioned kinds of approaches sequentially from the lowest bit plane side (truncation). Here, it says that deletion of code data transposes the value of the bit data to delete to 0 (invalid data). Coding processing of JPEG2000 is explained to the following nonpatent literature 1 in detail.

[0004]

[Nonpatent literature 1]

"It is the outline of a standard method (JPEG200) in the Niiguni case of static-image coding", Institute of Image Information and Television Engineers

2000, Vol.54, No.2, pp 164-171

[0005]

[Problem(s) to be Solved by the Invention]

In coding processing of JPEG2000, although a data compression can be easily performed even in the amount (it may only be described as the amount of signs) of target code data by deleting sequentially from the code data of the coding pass corresponding to the lowest bit plane of each subband so that it may mention above, the quality of the playback image which decode code data and be obtained depending on the method of data deletion may deteriorate greatly.

[0006]

This invention aims at offering the picture compression equipment and the compression coding approach of compressing image data into the target amount of signs quickly with an easy configuration, holding the quality of a playback image as much as possible.

[0007]

[Means for Solving the Problem]

The coding section which encodes the multiplier data obtained by the 1st picture compression equipment of this invention carrying out frequency analysis of the

image data for every batch, and generates code data, The data reduction section which reduces the amount of code data by the above-mentioned batch, and the multiplier data or the code data of each batch is further divided into the 2nd batch. It is characterized by having the data-processing section which increases the amount of deletion of the code data in the above-mentioned data reduction section by the 2nd batch of the above according to the magnitude of the multiplier data of the 2nd batch, or code data.

[0008]

The 2nd picture compression equipment of this invention is set to the picture compression equipment of the above 1st. The above-mentioned data reduction section The truncation data which decide the contents which delete the code data corresponding to the data by the side of the lower bit of multiplier data among code data to be each batch So that it may follow on the increment in data No. and the amount of deletion of code data may increase or decrease gradually And the truncation table put in order so that the quality of a playback image might deteriorate or improve gradually, The rate control section which specifies data No. of one truncation data which can be regarded as the variate of code data after deleting the code data of each batch according to truncation data

being desired value is included. It is characterized by deleting code data based on the truncation data of data No. specified by the above-mentioned rate control section.

[0009]

It is which picture compression equipment and is picture compression equipment which performs coding processing based on JPEG2000. the 3rd picture compression equipment of this invention -- the above -- the above-mentioned coding section The wavelet multiplier obtained by performing two-dimensional dispersion wavelet transform as the above-mentioned frequency analysis, and carrying out two-dimensional dispersion wavelet transform of the image data It divides into the subband which is a batch, and the wavelet multiplier of each subband is algebraic-sign-ized, and code data is generated. The above-mentioned data reduction section The amount of code data is reduced by deleting the code data corresponding to the data by the side of the lower bit of multiplier data among the code data generated per subband which is the above-mentioned batch. The above-mentioned data-processing section divides the subband which is the above-mentioned batch into the code block which is the 2nd batch. It is characterized by increasing the amount of deletion of the

code data in the above-mentioned data reduction section per code block according to the value of the data which process the wavelet multiplier or the wavelet multiplier concerned of each code block, and are obtained.

[0010]

The 4th picture compression equipment of this invention is set to the picture compression equipment of the above 3rd. The above-mentioned data-processing section The averaging circuit which calculates the average of the data which process the wavelet multiplier or the wavelet multiplier concerned of an effective pixel of each code block, and are obtained, It is characterized by including the masking multiplier count circuit which specifies the augend about the code block concerned of the amount of deletion of the code data performed in the above-mentioned data reduction section according to the value of the average value calculated in the average-value calculation circuit.

[0011]

The average-value calculation circuit where the above-mentioned data-processing section is equipped with the 5th picture compression equipment of this invention in the picture compression equipment of the above 4th is characterized by calculating the average value of the data which quantize the

wavelet multiplier of the effective pixel of each code block, and are obtained.

[0012]

The average-value calculation circuit where the above-mentioned data-processing section is equipped with the 6th picture compression equipment of this invention in the picture compression equipment of the above 4th is characterized by calculating the average value of the data obtained by algebraic-sign-izing the wavelet multiplier of the effective pixel of each code block.

[0013]

The coding process which encodes the multiplier data which the compression coding approach of this invention is the compression coding approach of image data, and are obtained by carrying out frequency analysis of the image data for every batch, and generates code data, The data reduction process which reduces the amount of code data by the above-mentioned batch, and the multiplier data or the code data of each batch is further divided into the 2nd batch. It is characterized by changing according to the magnitude of the value of the multiplier data of the 2nd batch, or code data at the data-processing process which increases the amount of deletion of the code data in the above-mentioned

data reduction process by the 2nd batch of the above.

[0014]

[Embodiment of the Invention]

Hereafter, the picture compression equipment concerning the gestalten 1-3 of operation is explained, referring to an attached drawing.

[0015]

(1) The gestalt 1 of operation

(1-1) The outline of data deletion processing

Drawing 1 is drawing for outlining the contents of deletion (truncation) processing of the code data which the picture compression equipment 100 (see drawing 2) concerning the gestalt 1 of operation performs. For example, the case where the 128x128-pixel image data shown in an arrow head A1 is encoded is considered. First, the above-mentioned image data is changed into the data of three color components, Y, Cb, and Cr. Since the contents of processing performed to the data of each color component are the same, data processing of Y component is explained hereafter. Two-dimensional dispersion wavelet transform is given as frequency analysis to the data of Y component, and the wavelet multiplier of 16 bits each which changes in a subband (3LL, 3HL,

3LH, 3HH, 2HL, 2LH, 2HH, 1HL, 1LH, 1HH) as shown by the arrow head A2 as a batch is obtained. A wavelet multiplier is divided into each subband, and it divides into the bit plane of 16 more sheets. The wavelet multiplier of the bit plane of 16 sheets of each subband is scanned by three kinds of approaches sequentially from a high order bit, and algebraic-sign-ization is performed. The three above-mentioned kinds of approaches are called "significant propagation pass", "magnitude refinement pass", and "cleanup pass." As arrow-head A3 shows by the above-mentioned algebraic-sign-ization, the code data which changes with the coding pass of a total of 46 sheets for every subband is generated.

[0016]

The picture compression equipment 100 concerning the gestalt 1 of operation deletes the code data of the coding pass of each subband by the following two technique sequentially from the lowest bit plane side (truncation).

[0017]

Deletion of the code data based on the 1st technique is explained. first, it is shown in "Table 1" -- as -- each color component exception of Y, Cb, and Cr -- each subband (three LL) 3HL(s), 3LH, 3LL, 2HL, 2LH, 2LL, 1HL, 1LH, The run

KESHON table which consists of 1500 or more data which change by the data (henceforth truncation data) which decide how many code data of each coding pass of 1LL it deletes at a time from the lowest bit plane side is prepared.

[Table 1]

[0018]

For example, it is 1 and 1 as truncation data. 1 1 One 1 1 Two 2 The case where 2 is defined is considered. As a slash is drawn and shown in the arrow head 3 of drawing 1 , the above-mentioned truncation data The code data of the coding pass of all code blocks that each subband which is a batch in the case of performing algebraic-sign-ization has It is what specifies the number of sheets deleted sequentially from the lowest bit plane side. In this example About 3LL, every two sheets each are deleted and thing semantics is carried out [HH / of one sheet and level 3 / HL, LH, and HH / HH / of one sheet each and level 2 / HL, LH, and HH / HH / of one sheet each and level 1 / HL, LH, and HH].

[0019]

The truncation data shown above "Table 1" are constituted so that the amount (it may only be described as the amount of signs) of the code data to delete may increase gradually with the increment in data No., and so that the quality of a playback image may deteriorate gradually. In addition, the amount of signs of a truncation table to delete decreases gradually with the increment in data No.,

and constituting so that the quality of a playback image may improve gradually is also considered. In this case, the changed part of the contents of processing which can be set is later explained in an applicable part.

[0020]

Each truncation data is created based on statistics of the experimental result using the experiment or various sample images which used a certain sample image etc. In addition, the configuration which switches the table which prepares two or more tables, for example, is used with the movement magnitude of the photographic subject in each inter-frame one at the time of animation photography may be adopted.

[0021]

In the image processing system 100 concerning the gestalt 1 of operation The amount of signs of each coding pass given and obtained [-ization / algebraic-sign] in the bit plane of 16 sheets of each subband is recorded on memory (the memory A shown in drawing 2 and Memory B correspond). From the data of the amount of signs memorized in the above-mentioned memory, the amount of reduction of code data (it may only be described as the amount of sign reduction) is calculated, and the excess and deficiency to the amount of

target sign reduction of the calculated value are computed. There are few amounts of reduction of code data, and in not reaching the target amount of sign reduction, it chooses truncation data with many amounts of data reduction of data No. of a bigger value. Conversely, there are many amounts of reduction of code data, and when exceeding the target amount of sign reduction, truncation data with few amounts of data reduction of data No. of a smaller value are chosen.

[0022]

By preparing beforehand the truncation data put in order so that image quality might deteriorate, while the amount of sign reduction increased gradually with the increment in data No. in compression of the code data based on the 1st technique of the above, the sign after truncation is decoded according to the criterion of JPEG2000, the amount of distortion with the image in front of truncation is investigated, and the processing itself in which the contents of truncation whose distortion decreases most are specified has the advantage which becomes unnecessary.

[0023]

As opposed to the data reduction by the 2nd technique deleting uniformly the

code data of the coding pass of the number of sheets as which the 1st technique of the above is specified for every subband with the data of a truncation table. Each subband is further divided into the code block which is the 2nd batch, and the number of sheets of coding pass which deletes only the number of sheets specified according to the magnitude of the data which process a wavelet multiplier or the wavelet multiplier concerned, and are obtained is increased for every code block. Since distortion which is conspicuous in a playback image in the boundary part of a code block will produce the 2nd technique concerned if the amount of data reduction is changed for every code block within the same subband, It usually comes out to perform deletion of code data per subband, and a certain place, even if the part especially with many image components (average value of the data which process the wavelet multiplier or the wavelet multiplier concerned of an effective pixel, and are obtained) performs more data deletions within a subband, distortion is not conspicuous. It carries out based on the vision property of those who sense that degradation of the quality of a playback image is moderate. Compressibility can be raised compared with the case where this deletes code data greatly to homogeneity per subband which is the usual batch, maintaining the quality of a playback image on the highest

possible level.

[0024]

The number of sheets (0-2) of coding pass which more specifically deletes further the wavelet multiplier or the wavelet multiplier concerned of an effective pixel of the code block concerned according to the average value of the data processed and obtained for every code block of each subband is decided. While dividing and expressing each code block with a dotted line to each subband shown by arrow-head A3 among drawing and describing the number of masks (number of sheets of the coding pass deleted further) after each code block, crosshatching of the corresponding coding pass is carried out, and it expresses. Thus, deletion of more efficient code data is realized, preventing degradation of the quality of a playback image by adjusting the number of sheets of the coding pass deleted for every code block.

[0025]

(1-2) The configuration of picture compression equipment

Drawing 2 is drawing showing the configuration of the picture compression equipment 100 concerning the gestalt 1 of operation. Picture compression equipment 100 consists of the wavelet transform section 10, the

algebraic-sign-ized section 20, the packet header generation processing section 30, a memory controller 40, and DRAM50. The memory controller 40 is the so-called arbiter circuit, and arbitrates the right of a data access to DRAM50 of each DMA 13, 26, 25, 31, 33, 35, and 37 with which the above-mentioned wavelet transform section 10, the algebraic-sign processing section 20, and the packet header generation processing section 30 are equipped. DRAM50 has memorized the data of the "Table 1" mentioned above, and also the code data about all the subbands of the frame image to process is written in.

[0026]

Hereafter, the configuration and actuation of the wavelet transform section 10, the algebraic-sign-ized section 20, and the packet header generation processing section 30 are explained to a detail, referring to drawing 3 - drawing 11 if needed.

[0027]

(1-2-1) Wavelet transform section

The wavelet transform section 10 changes image data into the wavelet multiplier of 16 bits. The color conversion circuit 11 changes and outputs the image data inputted to each color component of Y, Cb, and Cr. The wavelet transform circuit 12 performs two-dimensional dispersion wavelet transform to the data of each

component after color conversion. DMA13 stores the generated wavelet multiplier in the predetermined address of DRAM50. In addition, the color conversion circuit 11 and the wavelet transform circuit 12 are well-known circuits.

[0028]

(1-2-2) Algebraic-sign-ized section

The amount of masks for every code block of each subband (coding pass number of sheets) is specified, and the algebraic-sign-ized section 20 writes the specified amount of masks in Memory A or Memory B while it performs algebraic-sign-ized processing to the wavelet multiplier stored in DRAM50 in the above-mentioned wavelet transform section 10 and writes the code data for every coding pass of each subband in DRAM50.

[0029]

Furthermore, from the amount of masks which carried out [above-mentioned] specification, and the amount of signs for every coding pass of each code block, the amount of signs which decreases when deleting one coding pass of each subband at a time based on truncation data is specified, and it writes in Memory C or Memory D. In addition, the above-mentioned amount of signs is the value which performed code data deletion of the addition according to the amount of

masks about each code block.

[0030]

DMA21 reads the wavelet multiplier stored in the predetermined address of DRAM50 per subband. After entropy quantization is carried out in the quantization circuit 22, the read wavelet multiplier of 16 bits is inputted into the bit plane dividing network 23, and is divided into the bit plane of 16 sheets. The algebraic-sign-ized circuit 24 scans the data of each bit plane by three kinds of approaches (it is called coding pass) sequentially from a high order bit for every subband, and performs algebraic-sign-ization. The three above-mentioned kinds of approaches are called "significant propagation pass", "magnitude refinement pass", and "cleanup pass." The code data outputted from the algebraic-sign-ized section 24 changes by the code data of $15 \times 3 + 1 = 46$ sheet coding pass, and is written in DRAM50 through DMA25. In addition, the quantization circuit 22, the bit plane dividing network 23, and the algebraic-sign-ized circuit 24 are well-known circuits.

[0031]

Drawing 3 is a memory map about the code data in DRAM50. The code data is written in in order of 3LL, 3HL, 3LH, 3HH, 2HL, 2LH, 2HH, 1HL, 1LH, and 1HH.

For example, within the subband of 2HH, the code data of the coding pass for 46 sheets is written in the numerical order (10 1, 2, CB2 HH-MAX (however, CB2 HH-MAX expresses the maximum of the number assigned to the code block in 2HH)) of the code block assigned in predetermined sequence.

[0032]

Drawing 2 is referred to again. The wavelet multiplier read from DRAM50 by DMA21 is inputted not only into the quantization circuit 22 but into the averaging circuit 26. In the average-value calculation circuit 26, the average value of the wavelet multiplier of the effective pixel of each code block is computed and outputted. An effective pixel points out the thing of the pixel which has data of an effective wavelet multiplier in the code block which changes by the predetermined pixel matrix here. For example, as shown in drawing 4 , when it divides into the code block which changes by 16 pixels, about each code block perpendicularly on a par with a drawing Nakamigi corner, 16 pixels by [16 pixel x/ which is shown by x mark] 2 pixels do not have data of an effective wavelet multiplier for the subband of 1LH which changes by 64 pixels by 62 pixels in a right end. Then, about the code block perpendicularly on a par with the right corner concerned, the average of the wavelet multiplier of pixels other than x

mark is calculated. In addition, the averaging circuit 26 concerned is a well-known circuit.

[0033]

Moreover, the data inputted into the average-value calculation circuit 26 are not limited to the wavelet multiplier of a code block unit, but the data of the code block unit which processes the wavelet multiplier concerned and is acquired, for example, the data of the code block unit after quantizing in the quantization circuit 22, and the code data of the code block unit algebraic-sign-ized in the algebraic-sign-ized circuit 24 may be used for them.

[0034]

Drawing 2 is referred to again. The masking multiplier count circuit 27 specifies and outputs zero sheet, one sheet, and the masking multiplier of masks of an addition of two sheets, i.e., the amount, (number of sheets of coding pass which deletes code data) according to the value of the average value of the wavelet multiplier for every code block outputted sequentially from the average-value calculation circuit 26.

[0035]

Drawing 5 is drawing showing the configuration of the masking multiplier count

circuit 27. The masking multiplier count circuit 27 is constituted by three comparators 27a, 27b, and 27c and one selector 27d. The average of the wavelet multiplier of the effective pixel for every code block is inputted into one signal input terminal of Comparators 27a, 27b, and 27c, and the threshold 1, the threshold 2, and the threshold 3 are inputted into the remaining signal input terminals. The above-mentioned thresholds 1-3 fill the relation of the threshold $1 < \text{threshold } 2 < \text{threshold } 3$. Comparator 27a outputs the signal of High level, when the average value inputted is larger than a threshold 1, and when small, it outputs the signal of Low level. Similarly, comparator 27b outputs the signal of High level, when the average value inputted is larger than a threshold 2, and when small, it outputs the signal of Low level. Comparator 27c outputs the signal of High level, when the average value inputted is larger than a threshold 3, and when small, it outputs the signal of Low level.

[0036]

Selector 27d, when the signal of Low level is inputted from comparator 27a, comparator 27b, and comparator 27c, the amount 0 of masks is outputted. When the signal of High level is inputted from comparator 27a and the signal of Low level is inputted from the remaining comparator 27b and comparator 27c, the

amount 1 of masks is outputted. When the signal of High level is inputted from comparator 27a and comparator 27b and the signal of Low level is inputted from comparator 27c, the amount 2 of masks is outputted. When the signal of High level is inputted from all of comparator 27a, comparator 27b, and comparator 27c, the amount 3 of masks is outputted.

[0037]

Drawing 2 is referred to again. Memory A and Memory B are memory switched to enabling by turns per frame image to process, and record the amount of masks for every code block of each subband outputted from the masking multiplier count circuit 27.

[0038]

Drawing 6 is the memory map of Memory A. The memory map of Memory B is the same as Memory A. The amount of masks for every code block in each subband of 3LL, 3HL, 3LH, 3HH, 2HL, 2LH, 2HH, 1HL, 1LH, and 1HH is memorized so that it may illustrate. In this Fig., the subband of 2HH shows having memorized the amount of masks of $CB=1 - CB2\ HH-MAX$. In addition, $CB2\ HH-MAX$ expresses the maximum of the number assigned to the code block in a subband, and, in this Fig., $CB2\ HH-MAX$ is 16 in the subband of

2HH(s) which have 16 code blocks.

[0039]

Drawing 2 is referred to again. The code data which the algebraic-sign-ized circuit 24 outputs is outputted also to the amount calculation circuit 28 of signs.

In the amount calculation circuit 28 of signs, counting of the amount of signs for every coding pass corresponding to the bit plane of each code block is carried out, and a multiplier value is outputted to the data-processing circuit 29. The amount of masks of each code block written in the above-mentioned memory A or Memory B (coding pass number of sheets) is further inputted into the data-processing circuit 29. When deleting one code data of the coding pass of each subband at a time from the lowest bit plane side, further, the data-processing circuit 29 calculates the amount of reduction of the code data in consideration of the amount of masks, and writes the data showing the amount of reduction of the code data for which it asked in Memory C or Memory D.

[0040]

Drawing 7 is drawing showing the memory map of Memory C. The memory map of Memory D is the same as the memory map of Memory C. It is Address ADD so that it may illustrate. The data in which the amount of reduction of the code

data at the time of deleting the coding pass of 46 sheets of subband 3LL sequentially from the lowest bit plane is shown are written in 3LL. Address ADD 3HL, Address ADD 3LH, Address ADD 3HH, Address ADD 2HL, Address ADD 2LH, Address ADD 2HH, Address ADD 1HL, Address ADD 1LH and Address ADD The same is said of 1HH.

[0041]

At drawing 7 , it is Address ADD further. 1 LH-ADD The data written in the space of 1HH are shown in detail. The amount S_n of reduction of the code data at the time of deleting the code data of each coding pass sequentially from the lowest bit plane side (however, n 0-46) is expressed by the data of a certain fixed number of bits (for example, 20 bits). If the offset address ADDOFF which secures the data write-in field for above-mentioned 20 bits is pinpointed The data in which the amount S_n of reduction of the code data in the case of deleting coding pass in zero - 46 sheets and order is shown the address (ADD [] -- 1 LH) adding the offset address for number of sheets of the coding pass deleted to address ADD 1LH ADD 1 LH+ADDOFF, ADD 1LH+2xADDOFF, ADD 1LH+3xADDOFF, --, ADD It will be written in 1LH+46xADDOFF in order.

[0042]

Drawing 8 is the state transition diagram of the data-processing circuit 29. A concrete circuit is automatically designed in inputting the state transition diagram concerned into the logic synthesis tool of U.S. Synopsys. Hereafter, explanation of a state transition diagram is given. First, the subband corresponding to the value of the subband specification parameter SB is defined. Namely, SB=1 corresponds to 3LL, SB=2 correspond to 3HL(s), and SB=3 correspond to 3LH. SB=4 correspond to 3HH(s), SB=5 correspond to 2HL(s), SB=6 correspond to 2LH, SB=7 correspond to 2HH(s), SB=8 correspond to 1HL, SB=9 correspond to 1LH, and SB=10 correspond to 1HH.

[0043]

The value of Parameter SB is set as 1 (step S1). While setting the value of the parameter BP which specifies the number of sheets of coding pass which deletes code data as 0, the value of the variable SBP which shows the amount of signs (variate of code data) which decreases by deleting the code data of BP sheet coding pass from the lowest bit plane side is set as 0 (step S2). The value of the parameter CB which specifies the code block of the subband specified with the value of Parameter SB is set as 1 (step S3).

[0044]

It considers as the parameter Q which shows the number of sheets of coding pass which deletes code data for the value adding amount of masks M (CB) deleted in the code block specified as the value of Parameter BP with the value of Parameter CB in the code block concerned (step S4). The sum total SBP of the amount of signs of the coding pass for Q sheets (CB) is computed from the lowest bit plane side of the code block specified with the value of Parameter CB (step S5).

[0045]

When the value of Parameter BP is 0 (it is NO at step S6) (i.e., when deleting only the code data of the coding pass for the amount of masks), the value of SBP (CB) is set as the amount SBP of direct signs (step S8).

[0046]

When the value of Parameter BP is one or more (it is YES at step S6), set to SBP (CB) the value which deducted the value of SBP (SBP-1(CB of last time [value / of CB])) (step S7), and let the value which added and added the SBP (CB) concerned to the value of SBP be the amount SBP of signs (step S8).

[0047]

1 is added to Parameter CB (step S9). Here, in below maximum CBSB-MAX of

the number assigned to the code block of the subband as which the value of Parameter CB is specified with Parameter SB, it returns at the (step S10 at NO) and the above-mentioned step S4. on the other hand -- a parameter -- CB -- a value -- the above -- CBSB-MAX -- being large -- a case -- **** -- (-- a step -- S -- ten -- YES --) -- a frame -- a unit -- enabling -- cutting -- replacing -- memory -- A -- and -- memory -- B -- inside -- choosing -- having -- **** -- memory -- the address -- ADD"SB -- " -- an offset address -- ***** -- ADDOFFxBP -- having added -- a value -- the address -- the amount SBP of signs -- writing in (step S11) . Above-mentioned address ADD"SB" is Address ADD as it was shown in drawing 7 , when for example, the parameter SB was 1. The thing of 3LL is shown.

[0048]

1 is added to Parameter BP (step S12). Here, when the value of Parameter BP is 46 or less (it is NO at step S13), it returns to the above-mentioned step S3. On the other hand, when the value of Parameter BP exceeds 46 (i.e., when the processing about all the coding pass of 46 sheets of the subband specified with Parameter SB is completed), in order to process YES) and the following subband at the (step S13, 1 is added to the value of Parameter SB (step S14).

When the value of PATAMETA SB is ten or less [which is the maximum which carried out / above-mentioned / the definition] (it is NO at step S15), it returns to the above-mentioned step S2. When the value of Parameter SB exceeds 10 (it is YES at step S15), it judges that the processing about all subbands was completed, and processing is ended.

[0049]

In addition, the software processing by the arithmetic and program control which is not illustrated may realize processing based on the above-mentioned state transition diagram. The processing flow chart in this case is the same as the above-mentioned state transition diagram.

[0050]

(1-2-3) Packet header generation processing section

Asked for the packet header generation processing section 30 in the above-mentioned algebraic-sign-ized section 20. It is the case where it deletes one code data of the coding pass of each subband at a time from the lowest bit plane side. Furthermore, it is based on the amount of reduction of the code data at the time of taking the amount of masks for every code block into consideration. Data No. of suitable truncation data only for the amount of requests to delete

code data is specified, the packet header of the code data obtained based on the truncation data of specified data No. is generated, and a bit stream is formed and outputted.

[0051]

The rate control circuit 32 computes the sum total of the amount of reduction of the code data specified for every code block about all subbands according to the contents of the truncation data which read and read first the truncation data of data No.128 set to "Table 1" from DRAM50 through DMA31, and performs the comparison with the amount of target reduction. Here, in not fulfilling the amount of target reduction, the truncation data of data No. of a bigger value are read, and it searches for the sum total of the amount of data reduction in all subbands according to the contents of the data concerned. When reverse (i.e., when there is more total value of the amount of reduction of code data than the amount of target reduction), the truncation data of data No. of a smaller value are read, and the amount of reduction of code data is computed again. Data No. of 1 from which the amount of reduction of the above-mentioned code data becomes the value it can consider that is the amount of target reduction is specified, and the data showing this data No. are outputted to the latter packet information

generation circuit 34.

[0052]

Drawing 9 is drawing showing the configuration of the rate control circuit 32. The rate control circuit 32 is roughly divided and consists of an address-generation circuit 60, an amount arithmetic circuit 80 of signs, and a data No. change-over circuit 90.

[0053]

The address-generation circuit 60 and the amount arithmetic circuit 80 of signs function as operation part which computes the variate of the code data in the case of deleting the data by the side of the lower bit of the code data of each batch for the truncation data of specified data No. from the above-mentioned truncation table according to the contents of read-out and the read truncation data.

[0054]

The address-generation circuit 60 generates the address which reads the data of the amount of signs of the bit plane made to add or subtract based on the contents of the truncation data inputted through DMA31, and outputs it to Memory C and Memory D. The data of the frame image currently processed

among Memory C and Memory D are stored, and the memory in enabling state outputs the data showing the amount of reduction of the code data stored in the specified address to the amount arithmetic circuit 80 of signs.

[0055]

The amount arithmetic circuit 80 of signs searches for the sum total about all the subbands of the amount of data reduction sent from Memory C or Memory D, performs the comparison with the total value and the amount of target reduction which were calculated, and outputs the signal showing a comparison result to the data No. change-over circuit 90 of the next step.

[0056]

The data No. change-over circuit 90 requires the truncation data of different data No. based on the comparison result signal outputted from the above-mentioned amount arithmetic circuit 80 of signs of DRAM50 through DMA33. Moreover, the signal showing last data No. of 1 which can be regarded as the amount of code data reduction being the amount of target reduction is outputted to the packet information generation circuit 36.

[0057]

Hereafter, it explains in more detail about a configuration and actuation in order

of the address-generation circuit 60, the amount calculation circuit 80 of signs, and the data No. change-over circuit 90.

[0058]

The truncation data inputted through DMA31 from DRAM50 are outputted to the shift register 61 with which the address-generation circuit 60 is equipped. A shift register 61 memorizes the truncation data of this time and last time. A comparator 62 calculates the value which deducted the value of the last truncation data from the value of these truncation data of each subband (3LL, 3HL, 3LH, 3HH, 2HL, 2LH, 2HH, 1HL, 1LH, 1HH), and outputs the calculated value to a selector 63. In addition, although mentioned later, the truncation data of each last subband are outputted to a selector 71.

[0059]

The subband selection circuitry 64 updates and outputs a subband selection signal to the value which chooses the following subband according to the input of the updating demand signal of a selection signal. A selector 63 outputs the data which express a comparison result in order of subband 3LL, 3HL, 3LH, 3HH, 2HL, 2LH, 2HH, 1HL, 1LH, and 1HH to the down counter 65 according to the selection signal inputted from a subband selection circuitry. The data showing

the above-mentioned comparison result are the case where the subband of 1HL is chosen by the selection signal, and when the truncation data of this time [data / about the subband concerned of 1HL / last / truncation] in 1 are 3, they are +2 of a difference. A selector 63 outputs the data which express +2 as a comparison result to the down counter 65.

[0060]

The down counter 65 is set as the value which carries out the down count of the data value of the above-mentioned difference outputted from a selector 63, performs the down count of the set-up value, and outputs counted value to one signal input terminal of the AND gate 66. The output signal of a register 68 is inputted into the remaining signal input terminals of the AND gate 66. That is, the AND gate 66 outputs the value of a register 68 to one signal input terminal of a computing element 67 as it is, while the down counter 65 is performing the down count. When the down counter 65 ends a down count, the AND gate 66 outputs the signal of Low level. The signal of the Low level concerned is outputted to the subband selection circuitry 64 as an updating demand signal of a selection signal.

[0061]

The code data of the signal outputted from a selector 63 is inputted into the addition-and-subtraction control terminal of a computing element 67. That is, while the signal with which it expresses forward as an addition-and-subtraction control signal is inputted, a computing element 67 accumulates an offset address ADDOFF synchronizing with the count timing of the down counter 65, and inputs this into one signal input terminal of an adder 69. Conversely, while the signal with which it expresses negative as an addition-and-subtraction control signal is inputted, the value of an offset address ADDOFF is subtracted from the value currently written in the register 68 synchronizing with the count timing of the down counter 65.

[0062]

A selector 70 outputs the address ADD of the subband which corresponds according to the selection signal which the subband selection circuitry 64 mentioned above outputs (ADD 3 LL-ADD 1HH) to another signal input terminal of an adder 69. An adder 69 outputs the address data with which only the count in which the down counter 65 carries out a down count accumulated the offset address ADDOFF at the address ADD of the subband outputted from a selector 70 to one signal input terminal of an adder 73. In a multiplier 72, the value which

carried out the multiplication of the value of an offset address ADDOFF to the output value of a selector 71 is inputted into the remaining signal input terminals of an adder 73. The above-mentioned selector 71 outputs the value of the last truncation data of the subband specified by the selection signal which the subband selection circuitry 64 outputs. The address for reading the data of the amount of signs which an adder 73 synchronizes with the down count of the down counter 65 by the above-mentioned configuration, and increases or decreases for every subband is generated and outputted.

[0063]

While the addition-and-subtraction control signal generated in the address-generation circuit 60 is inputted, the data showing the amount of reduction of the code data stored in the address specified from the address-generation circuit 60 from the memory C which is enabling, or Memory D are inputted into the addition-and-subtraction control terminal of the computing element 81 of the amount arithmetic circuit 80 of signs. The output of the last computing element 81 concerned is reinputted through the register 82 by another signal input terminal of a computing element 81. By the configuration concerned, the amount of reduction of the code data based on the truncation

data chosen this time is stored in a register 82.

[0064]

The selection signal of the subband selection circuitry 64 of the address-generation circuit 60 is inputted into one signal input terminal of 2 input AND gate 84. The register 83 is connected to the remaining signal input terminals of the AND gate 84. The data of the same value as the selection signal (the case where it is the signal which returns first and chooses the subband of 3LL is included) outputted after choosing subband 1HH (i.e., after selection of all subbands is completed) are stored in the register 83. Thereby, after selection of all subbands is completed, the enable signal of High level is outputted to the enabling terminal of a comparator 85 by the subband selection circuitry 64 from the AND gate 84. A comparator 85 measures the value of the amount of reduction and the amount of target reduction of code data of all subbands which are outputted from a register 82, and when there are more amounts of reduction of code data than the amount of target reduction, when few, it outputs the comparison result signal of Low level for the comparison result signal of High level to the data No. change-over circuit 90 of the next step.

[0065]

Drawing 10 is the state transition diagram of the data No. change-over circuit 90.

A concrete circuit is automatically designed in inputting the state transition diagram concerned into the logic synthesis tool of U.S. Synopsys. Hereafter, explanation of a state transition diagram is given.

[0066]

First, the value of the contents characteristic n of processing is set as 1 (step S20), and data No.T of truncation data is set as 128 (step S21). Set-up data No.T is outputted to DMA33 (step S22). It waits to input the comparison result signal of the amount of reduction of the code data of all subbands and the amount of target reduction which were computed based on the truncation data of data No.T from the comparator 85 of the amount arithmetic circuit 80 of signs (being step S23 NO). It is the case where the above-mentioned comparison result signal is received (it is YES at step S23), and when it is expressed according to the value of the contents characteristic n of processing at that time that there are [the above-mentioned comparison result signal] still more amounts of reduction of code data than the amount of target reduction, the following processings are performed according to the case where few things are expressed (step S24). (when it is High level) (when it is Low level)

[0067]

It is the case where a characteristic n value is 1, and when the amounts of reduction of code data run short compared with the amount of target reduction (it is YES at step S25), 128 is added to the value of the present data No.T (= 128) (step S26), and, specifically, it returns to the above-mentioned step S22. Therefore, when there are few amounts of reduction of code data than the amount of target reduction, the value of the contents characteristic n of processing is held 1. On the other hand, after the amount of reduction of code data subtracts 64 from the value of current data No.T (= 128) when many (it is NO at step S25) (step S27), and it adds 1 to the value of a characteristic n compared with the amount of target reduction (step S54), it returns to the above-mentioned step S22.

[0068]

In the above-mentioned step S24, it is the case where the value of the contents characteristic n of processing is 2, and when the amounts of reduction of code data run short compared with the amount of target reduction (it is YES at step S28), after adding 32 to the value of data No.T (step S29) and adding 1 to the value of a characteristic n (step S54), it returns to the above-mentioned step S22.

On the other hand, after the amount of reduction of code data subtracts 32 from the value of data No.T when many (it is NO at step S28) (step S30), and it adds 1 to the value of a characteristic n compared with the amount of target reduction (step S54), it returns to the above-mentioned step S22.

[0069]

In the above-mentioned step S24, it is the case where the value of the contents characteristic n of processing is 3, and when the amounts of reduction of code data run short compared with the amount of target reduction (it is YES at step S31), after adding 16 to the value of data No.T (step S32) and adding 1 to the value of a characteristic n (step S54), it returns to the above-mentioned step S22.

On the other hand, after the amount of reduction of code data subtracts 16 from the value of data No.T when many (it is NO at step S31) (step S33), and it adds 1 to the value of a characteristic n compared with the amount of target reduction (step S54), it returns to the above-mentioned step S22.

[0070]

In the above-mentioned step S24, it is the case where the value of the contents characteristic n of processing is 4, and when the amounts of reduction of code data run short compared with the amount of target reduction (it is YES at step

S34), after adding 8 to the value of data No.T (step S35) and adding 1 to the value of a characteristic n (step S54), it returns to the above-mentioned step S22.

On the other hand, after the amount of reduction of code data subtracts 8 from the value of data No.T when many (it is NO at step S34) (step S36), and it adds 1 to the value of a characteristic n compared with the amount of target reduction (step S54), it returns to the above-mentioned step S22.

[0071]

In the above-mentioned step S24, it is the case where the value of the contents characteristic n of processing is 5, and when the amounts of reduction of code data run short compared with the amount of target reduction (it is YES at step S37), after adding 4 to the value of data No.T (step S38) and adding 1 to the value of a characteristic n (step S54), it returns to the above-mentioned step S22.

On the other hand, after the amount of reduction of code data subtracts 4 from the value of data No.T when many (it is NO at step S37) (step S39), and it adds 1 to the value of a characteristic n compared with the amount of target reduction (step S54), it returns to the above-mentioned step S22.

[0072]

In the above-mentioned step S24, it is the case where the value of the contents

characteristic n of processing is 6, and when the amounts of reduction of code data run short compared with the amount of target reduction (it is YES at step S40), after adding 2 to the value of data No.T (step S41) and adding 1 to the value of a characteristic n (step S54), it returns to the above-mentioned step S22. On the other hand, after the amount of reduction of code data subtracts 2 from the value of data No.T when many (it is NO at step S40) (step S42), and it adds 1 to the value of a characteristic n compared with the amount of target reduction (step S54), it returns to the above-mentioned step S22.

[0073]

It is the case where the value of the contents characteristic n of processing is 7 in the above-mentioned step S24. When the amounts of reduction of code data run short compared with the amount of target reduction (it is YES at step S43), After adding 1 to the value of data No.T (step S44), adding the value of Flag F to 0 and adding 1 to the value of a set (step S45) and a characteristic n (step S54), it returns to the above-mentioned step S22. On the other hand, after the amount of reduction of code data subtracts 1 to the value of data No.T (step S46), sets the value of Flag F to 1, when many (it is NO at step S43) (step S47), and it adds 1 to the value of a characteristic n compared with the amount of target reduction

(step S54), it returns to the above-mentioned step S22.

[0074]

In the above-mentioned step S24, the value of the contents characteristic n of processing performs the following processings or more 8 case according to the value of Flag F. That is, it is the case where the value of Flag F is 0 (it is YES at step S48), and when the amounts of reduction of code data run short compared with the amount of target reduction (it is YES at step S49), after adding 1 to the value of data No.T (step S50) and adding 1 to the value of a characteristic n (step S54), it returns to the above-mentioned step S22. Moreover, it is the case where the value of Flag F is 1 (it is NO at step S48), and after the amount of reduction of code data subtracts 1 from data No.T when many (it is NO at step S51) (step S52), and it adds 1 to the value of a characteristic n compared with the amount of target reduction (step S54), it returns to the above-mentioned step S22.

[0075]

It is the case where the value of Flag F is 0 (it is YES at step S48). On the other hand, when there are many amounts of code data reduction (it is NO at step S49), or when the value of Flag F is 0 (it is NO at step S48) and the amounts of

code data reduction are insufficient (it is YES at step S51) If it means changing to instead of or few conditions from many conditions in many condition from a condition with few amounts of reduction of code data and puts in another way compared with the amount of target reduction only by fluctuating the number of truncation data one time, it can be considered that the amount of code data reduction reached the amount of target reduction. Then, the signal showing the data No.T concerned is outputted to the packet information generation circuit 34 (step S53), and processing is ended noting that it is data No. of the truncation data of 1 which finally uses data No.T at this time.

[0076]

In addition, the software processing by the arithmetic and program control which is not illustrated may realize processing based on the above-mentioned state transition diagram. The processing flow chart in this case is the same as the above-mentioned state transition diagram.

[0077]

In addition, the amount of signs deleted with a truncation table to the increment in data No. decreases gradually. When it constitutes so that the quality of a playback image may improve gradually, while making it 128th data No. from the

last of data No. which a table equips with the initial value of data No. instead of 128 in the above-mentioned step S21 When only 32 is making reverse, for example, day bull No., increase, it is made only for 32 to decrease conversely the addition and subtraction in the step which changes data No. henceforth.

[0078]

It returns to drawing 2 again. The packet information generation circuit 34 computes the coding numbers of passes of each subband specified from the truncation data of data No. finally chosen, and its amount of signs, and outputs the computed data to the latter packet header generation circuit 36.

[0079]

Drawing 11 is the state transition diagram of a packet information generation circuit. A concrete circuit is automatically designed in inputting the state transition diagram concerned into the logic synthesis tool of U.S. Synopsys. Hereafter, explanation of a state transition diagram is given. First, it stands by that the data which express data No.T of a tolan KETO table from the rate control circuit 32 are inputted (being step S60 NO). When the data showing the above-mentioned data No.T are received (it is YES at step S60), the truncation data of data No.T are read from DRAM50 (step S61). The coding numbers of

passes of a code block of each subband which remains after code data deletion from the contents of the read truncation data are computed (step S62). Based on the contents of the truncation data similarly read, the amount of signs of the coding pass of a code block of each subband which remains after code data deletion from the data memorized in Memory C or Memory D is computed (step S63). The data of the coding numbers of passes of the code block of each subband which carried out [above-mentioned] calculation, and the amount of signs are outputted to the packet header generation circuit 36 (step S64).

[0080]

In addition, the software processing by the arithmetic and program control which is not illustrated may realize processing based on the above-mentioned state transition diagram. The processing flow chart in this case is the same as the above-mentioned state transition diagram.

[0081]

It returns to drawing 2 again. From data, such as code data read from DRAM5 from DMA37, the packet header generation circuit 36 generates a packet header in the coding numbers of passes of the code block of each subband which is outputted from the packet information generation circuit 34 and which carried out

[above-mentioned / above-mentioned] calculation and the data of the amount of signs, the number of zero bit planes, and a list, and outputs it to them in the sign formation circuit 38. The sign formation circuit 38 forms a bit stream from the data outputted from the packet header generation circuit 36, and outputs it outside as code data to which only the amount of target reduction reduced code data. In addition, the packet header generation circuit 36 is a well-known circuit.

[0082]

(2) The gestalt 2 of operation

Drawing 12 is drawing showing the configuration of the picture compression equipment 200 concerning the gestalt 2 of operation. The picture-compression equipment 200 concerning the gestalt 2 of operation calculates the total amount of the code data of all the subbands that remain from the amount of masks calculated for every code block of each subband, and the amount of signs for every coding pass of each code block when deleting the coding pass of each subband based on truncation data, and is characterized by to specify the optimal truncation data by performing the comparison with the total amount of code data and the amount of target signs which calculated.

[0083]

The configuration of the picture compression equipment 200 concerning the gestalt 2 of operation is fundamentally [as the picture compression equipment 100 concerning the gestalt 1 of operation mentioned above] the same (see drawing 2). The data-processing circuit 210 and the rate control circuit 220 of a configuration of differing from that with which picture compression equipment 100 is equipped hereafter are explained. In addition, the same reference number is attached and explained to the structure same for convenience as the picture compression equipment 100 concerning the gestalt 1 of the above-mentioned implementation.

[0084]

Drawing 13 is the state transition diagram of the data-processing circuit 210 of picture compression equipment 200. The data-processing circuit 210 concerned is equivalent to the data-processing circuit 29 with which the picture compression equipment 100 concerning the gestalt 1 of operation shown in drawing 2 is equipped. A concrete circuit is automatically designed by inputting the state transition diagram concerned into the logic synthesis tool of U.S. Synopsys. Hereafter, explanation of a state transition diagram is given.

[0085]

First, the subband corresponding to the value of the subband specification parameter SB is defined. That is, SB=1 corresponds to 3LL, SB=2 correspond to 3HL(s), SB=3 correspond to 3LH, and SB=4 correspond to 3HH(s). SB=5 correspond to 2HL(s), SB=6 correspond to 2LH, and SB=7 correspond to 2HH(s). SB=8 correspond to 1HL, SB=9 correspond to 1LH, and SB=10 correspond to 1HH.

[0086]

The value of Parameter SB is set as 1 (step S70). The value of the parameter BP which specifies the number of sheets of coding pass which deletes code data is set as 0, and the value of the variable DBP which shows the total amount of the code data about the processed code block which remains after deleting the code data of the coding pass of a code block of a processing object from the lowest bit plane side only BP sheet is set as 0 (step S71). The value of the parameter CB which specifies the number assigned sequentially from 1 as the code block of the subband specified with the value of Parameter SB is set as 1 (step S72).

[0087]

It considers as the parameter Q showing the number of sheets of coding pass

which deletes code data for the value adding amount of masks M (CB) deleted in the code block specified as the value of Parameter BP with the value of Parameter CB in the code block concerned (step S73). Variable DBP (CB) is computed by specifying the total amount SALL of the code data of the code block corresponding to the value of Parameter CB (CB) from the output of the amount calculation circuit 28 of signs, calculating the amount SBP of sum total signs of the coding pass for Q sheets (CB) from Memory A or Memory B, and subtracting the value of SBP (CB) from Above SALL (CB) (step S74). The value of Above DBP (CB) is added to the value of the variable DBP which shows the total amount of the code data about a processed code block (step S75).

[0088]

1 is added to Parameter CB (step S76). Here, in below CBSB-MAX which is the maximum of the number assigned to the code block of the subband as which the value of Parameter CB is specified with Parameter SB, it returns to NO) and the above-mentioned step S73 at the (step S77. on the other hand -- a parameter -- CB -- a value -- the above -- CBSB-MAX -- being large -- a case -- **** -- (-- a step -- S -- 77 -- YES --) -- a frame -- a unit -- enabling -- cutting -- replacing -- memory -- C -- and -- memory -- D -- inside -- choosing -- having -- **** --

memory -- the address -- ADD"SB -- " -- an offset address -- ***** --
ADDOFFxBP -- having added -- a value -- the address -- the amount data DBP
of signs -- writing in (step S78) . Address ADD"SB" is DRESS ADD here, when
for example, the parameter SB is 1. The thing of 3LL is shown.

[0089]

1 is added to Parameter BP (step S79). Here, when the value of Parameter BP
is 46 or less (it is NO at step S80), it returns to the above-mentioned step S72.
On the other hand, when the value of Parameter BP exceeds 46 (i.e., when
processing is completed about all the coding pass of 46 sheets of the subband
specified with Parameter SB), in order to process YES) and the following
subband at the (step S80, 1 is added to the value of Parameter SB (step S81).
When the value of PATAMETA SB is ten or less [which is the maximum which
carried out / above-mentioned / the definition] (it is NO at step S82), it returns to
the above-mentioned step S71. When the value of Parameter SB exceeds 10 (it
is YES at step S82), it judges that the processing about all subbands was
completed, and processing is ended.

[0090]

In addition, the FUSOFUTO wear processing by the arithmetic and program

control which is not illustrated may realize processing based on the above-mentioned state transition diagram. The processing flow chart in this case is the same as the above-mentioned state transition diagram.

[0091]

Drawing 14 is drawing showing the memory map of the memory C of picture compression equipment 200, or Memory D. It is Address ADD so that it may illustrate. The data in which the total amount of the code data which remains when the code data of the coding pass of 46 sheets of subband 3LL is deleted sequentially from the lowest bit plane side and the code data of the coding pass of the number of sheets of the amount of masks further specified for every code block is deleted further is shown are written in 3LL. Address ADD 3HL, Address ADD 3LH, Address ADD 3HH, Address ADD 2HL, Address ADD 2LH, Address ADD 2HH, Address ADD 1HL, Address ADD 1LH, Address ADD The same is said of 1HH.

[0092]

At drawing 14 , it is Address ADD. 2 HH-ADD The data written in the space of 1HL are shown in detail. The amount D_n (however, n 0-46) of the code data which remains when the code data of each coding pass is deleted sequentially

from the lowest bit plane side in subband 2HH and the code data of the coding pass of the number of sheets of the amount of masks further specified for every code block is deleted is expressed by the data of a certain fixed number of bits (for example, 20 bits). If the offset address ADDOFF which secures the data write-in field for above-mentioned 20 bits is pinpointed The data in which the amount Dn of signs which remains when deleting zero - 46 coding pass is shown the address (ADD [] -- 2 HH) adding the offset address for number of sheets of the coding pass deleted to address ADD 2HH ADD 2 HH+ADDOFF, ADD 2HH+2xADDOFF, ADD 2HH+3xADDOFF, --, ADD It will be written in 2HH+46xADDOFF in order.

[0093]

Drawing 15 is drawing showing the configuration of the rate control circuit 220 of picture compression equipment 200. From DRAM50, first, the rate control circuit 220 reads the amount of signs after deletion of the code data of each subband for the truncation data of No.128 from Memory C or Memory D according to the contents of read-out and the read truncation data through DMA31, calculates such total value, and performs the comparison with the amount of target signs. Here, when there are more amounts of signs than the amount of target signs,

according to the contents of read-out and the read truncation data, the amount of signs after code data deletion is again calculated for the truncation data of bigger data No. When reverse (i.e., when there are few amounts of signs after reduction of code data than the amount of target signs), the truncation data of smaller data No. are read and the amount of signs after code data deletion is again calculated according to the contents of the read truncation data. Data No. of 1 from which the amount of signs after the above-mentioned code data deletion becomes the value it can consider that is the amount of target signs is specified, and the data showing this data No. are outputted to the latter packet information generation circuit 34.

[0094]

The address-generation circuit 230 generates the address signal which reads the data of the amount of signs after code data deletion of each subband according to the contents of the truncation data inputted through DMA31, and outputs it to Memory C or Memory D. The data of the frame image currently processed among Memory C and Memory D are stored, and the memory in enabling state outputs the data showing the amount of signs after the code data deletion stored in the specified address to the sign arithmetic circuit 240.

[0095]

More specifically, the truncation data inputted from DMA31 are stored in a register 231. A register 231 divides and stores the stored truncation data in the data for every subband, and outputs them to the selector 232 of the next step. A selector 232 outputs truncation data to one signal input terminal of a multiplier 235 in order of subband 3LL, 3HL, 3LH, 3HH, 2HL, 2LH, 2HH, 1HL, 1LH, and 1HH according to the selection signal outputted from the subband selection circuitry 233. The value of an offset address ADDOFF is inputted into the remaining signal input terminals of a multiplier 235. A multiplier 235 outputs the offset address for number of sheets of the coding pass to delete specified with the truncation data of the subband chosen by the selection signal to one signal input terminal of an adder 236.

[0096]

The above-mentioned subband selection circuitry 233 updates and outputs a selection signal to the value which chooses the following subband synchronizing with the clock signal CLK inputted as a demand signal of a selection signal. The selection signal which the subband selection circuitry 233 outputs is inputted also into a selector 234. A selector 234 outputs start-address ADD (ADD 3

LL-ADD 1HH) of the subband specified by the selection signal to the remaining signal input terminals of an adder 236.

[0097]

By adopting the above-mentioned configuration, an adder 236 generates the storing address of the data of the amount of signs which remains when the code data of the coding pass of the number of sheets which added the amount of masks to the number of sheets specified with the truncation data of the subband chosen by the selection signal is deleted from the lowest bit plane side, and outputs it to Memory C or Memory D.

[0098]

From the amount of signs after the data deletion of each subband sent from Memory C or Memory D, the amount arithmetic circuit 240 of signs calculates the amount of signs after code data deletion of all subbands, performs the comparison with the amount of signs and the amount of target signs which were calculated, and outputs the comparison result signal showing a comparison result to the data No. change-over circuit 250 of the next step.

[0099]

The data of the amount of signs read to the amount arithmetic circuit 240 of

signs from Memory C or Memory D are inputted into one signal input terminal of an adder 241. The value of the register 242 which stores the output of the adder 241 concerned is inputted into the remaining signal input terminals of an adder 241. By adopting the configuration concerned, the total value of the amount of signs of each subband read from Memory C or Memory D is stored in a register 242 until a reset signal is inputted into a register 242.

[0100]

The selection signal outputted from the subband selection circuitry 233 of the address-generation circuit 230 is inputted into one signal input terminal of 2 input AND gate 244. The register 243 is connected to the remaining signal input terminals of the AND gate 244. After the subband selection circuitry 233 outputs the selection signal which chooses subband 1HH (i.e., after outputting the selection signal of all subbands), the value of the selection signal outputted in between [before choosing the first subband 3LL as a degree again] is stored in the register 243. After the AND gate 244 outputs the selection signal of all subbands by adopting the above-mentioned configuration, the enable signal of High level is outputted to the enabling terminal of a comparator 245 to the timing before choosing the first subband 3LL as a degree again, and the circuit

concerned is switched to enabling.

[0101]

A comparator 245 performs the comparison with the amount of signs after the code data deletion outputted from a register 242, and the amount of target signs, and outputs a comparison result signal to the data No. change-over circuit 250 of the next step.

[0102]

The data No. change-over circuit 250 is the same configuration as the data change-over circuit 90 of the picture compression equipment 100 of the gestalt 1 of operation, and omits explanation here.

[0103]

(3) The gestalt 3 of operation

Drawing 16 is drawing showing the configuration of the picture compression equipment 300 concerning the operation gestalt 3. Picture compression equipment 300 like the picture compression equipment 100 of the gestalt 1 of operation The amount of masks for every code block of each subband and the amount of signs for every coding pass of each code block are calculated. The amount of reduction of the code data of all the subbands in the case of deleting

one coding pass of each subband at a time based on truncation data is calculated, and the optimal truncation data are specified by performing the comparison with the amount of reduction of code data and the amount of target sign reduction which were calculated.

[0104]

In order that the picture compression equipment 100 of the gestalt 1 of the above-mentioned implementation may calculate the amount of reduction of the code data of the subband of all above here As opposed to preparing for Memory C and Memory D the amount of signs (variate of code data) reduced when it deletes one code data of the coding pass of a code block of each subband at a time from the lowest bit plane side In the image processing system 300 of the gestalt 3 of the above-mentioned implementation The amount of reduction of the code data at the time of deleting one code data of the coding pass of a code block of each subband from the lowest bit plane side, in order to calculate the amount of code data reduction of the subband of all above, the amount of reduction of the code data at the time of deleting two sheets, and .. it is characterized by preparing the amount of reduction of the code data at the time of deleting 46 sheets for Memory C and D. In addition, the amount of reduction

of the code data at the time of above-mentioned deleting two sheets is the value which added the variate of the code data at the time of deleting the code data of the coding pass of the 2nd sheet to the variate of the code data at the time of deleting the code data of the coding pass of the 1st sheet.

[0105]

The configuration of the picture compression equipment 300 concerning the gestalt 3 of operation is fundamentally [as the picture compression equipment 100 concerning the gestalt 1 of operation mentioned above] the same (see drawing 2). The data-processing circuit 310 and the rate control circuit 320 of a configuration of differing from that with which picture compression equipment 100 is equipped hereafter are explained. In addition, the same reference number is attached and explained to the structure same for convenience as the picture compression equipment 100 concerning the gestalt 1 of the above-mentioned implementation.

[0106]

Drawing 17 is the state transition diagram of the data-processing circuit 310 of picture compression equipment 300. The data-processing circuit 310 concerned is equivalent to the data-processing circuit 29 with which the picture

compression equipment 100 concerning the gestalt 1 of operation shown in drawing 2 is equipped. A concrete circuit is automatically designed by inputting the state transition diagram concerned into the logic synthesis tool of U.S. Synopsys. Hereafter, explanation of a state transition diagram is given.

[0107]

First, the subband corresponding to the value of the subband specification parameter SB is defined. That is, SB=1 corresponds to 3LL, SB=2 correspond to 3HL(s), SB=3 correspond to 3LH, and SB=4 correspond to 3HH(s). SB=5 correspond to 2HL(s), SB=6 correspond to 2LH, and SB=7 correspond to 2HH(s). SB=8 correspond to 1HL, SB=9 correspond to 1LH, and SB=10 correspond to 1HH.

[0108]

The value of Parameter SB is set as 1 (step S90). The value of the parameter BP which specifies the number of sheets of coding pass which deletes code data is set as 0, and the value of the variable SBP which shows the total amount of reduction of the code data when deleting the code data of the coding pass of a code block of a processing object from the lowest bit plane side only BP sheet is set as 0 (step S91). The value of the parameter CB which specifies the number

assigned sequentially from 1 as the code block of the subband specified with the value of Parameter SB is set as 1 (step S92).

[0109]

It considers as the parameter Q showing the number of sheets of coding pass which deletes code data for the value adding amount of masks M (CB) deleted in the code block specified as the value of Parameter BP with the value of Parameter CB in the code block concerned (step S93). It asks from the data which memorize the total amount SBP of the code data of the coding pass for Q sheets (CB) in Memory A or Memory B from the lowest bit plane side of a code block of No.CB (step S94). The value of Above SBP (CB) is added to the value of Variable SBP (step S95).

[0110]

1 is added to Parameter CB (step S96). Here, in below CBSB-MAX which is the maximum of the number assigned to the code block of the subband as which the value of Parameter CB is specified with Parameter SB, it returns to NO) and the above-mentioned step S93 at the (step S97. on the other hand -- a parameter -- CB -- a value -- the above -- CBSB-MAX -- being large -- a case -- **** -- (-- a step -- S -- 97 -- YES --) -- a frame -- a unit -- enabling -- cutting -- replacing --

memory -- C -- and -- memory -- D -- inside -- choosing -- having -- **** --
memory -- the address -- ADD"SB -- " -- an offset address -- ***** --
ADDOFFxBP -- having added -- a value -- the address -- code data -- reduction
-- an amount -- expressing -- a variable -- SBP -- a value -- writing in (step S98) .

Address ADD"SB" is DRESS ADD here, when for example, the parameter SB is

1. The thing of 3LL is shown.

[0111]

1 is added to Parameter BP (step S99). Here, when the value of Parameter BP is 46 or less (it is NO at step S100), it returns to the above-mentioned step S92.

On the other hand, when the value of Parameter BP exceeds 46 (i.e., when the processing about all the coding pass of 46 sheets of the subband specified with Parameter SB is completed), in order to process YES) and the following subband at the (step S100, 1 is added to the value of Parameter SB (step S101).

When the value of PATAMETA SB is ten or less [which is the maximum which carried out / above-mentioned / the definition] (it is NO at step S102), it returns to the above-mentioned step S91. When the value of Parameter SB exceeds 10 (it is YES at step S102), it judges that the processing about all subbands was completed, and processing is ended.

[0112]

In addition, the FUSOFUTO wear processing by the arithmetic and program control which is not illustrated may realize processing based on the above-mentioned state transition diagram. The processing flow chart in this case is the same as the above-mentioned state transition diagram.

[0113]

Drawing 18 is drawing showing the configuration of the rate control circuit 320 of the picture compression equipment 300 concerning the gestalt 3 of operation. In this Fig., the same reference number is given to the same structure as the rate control 220 of the picture compression equipment 200 concerning the gestalt 2 of operation, and explanation here is omitted.

[0114]

The rate control circuit 320 differs from the rate control circuit 220 of the picture compression equipment 200 which requires only the comparator 345 of the amount arithmetic circuit 340 of signs for the gestalt 2 of operation so that it may illustrate. That is, the amount of reduction of target code data is inputted into the comparator 345. This is because the amount of reduction of the code data at the time of deleting one data [two] of the coding pass of a code block of each

subband with ... is stored in Memory C or Memory D and the total value of the amount of reduction of the code data of each subband is stored in the register 242.

[0115]

[Effect of the Invention]

The picture compression equipment of this invention can raise compressibility, maintaining the quality of a playback image on the highest possible level by this compared with the case which deletes code data further by the 2nd batch concerned where code data is greatly deleted to homogeneity, according to the magnitude of the multiplier data of the 2nd batch which divided ***** further by the batch.

[0116]

Furthermore, by preparing beforehand the truncation data put in order so that image quality might deteriorate, while the amount of sign reduction increases gradually with the increment in data No., the sign after truncation is decoded according to the criterion of JPEG2000, the amount of distortion with the image in front of truncation is investigated, and the processing itself in which the contents of truncation whose distortion decreases most are specified has the

advantage which becomes unnecessary.

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining the outline of reduction processing of the code data which the picture compression equipment concerning the gestalt 1 of operation performs.

[Drawing 2] It is drawing showing the configuration of picture compression equipment.

[Drawing 3] It is drawing showing the memory map of DRAM.

[Drawing 4] It is drawing for explaining the average of the effective pixel of the wavelet multiplier of a code block.

[Drawing 5] It is drawing showing the configuration of a masking multiplier count circuit.

[Drawing 6] It is drawing showing a memory map.

[Drawing 7] It is drawing showing a memory map.

[Drawing 8] It is drawing showing the state transition diagram of a data-processing circuit.

[Drawing 9] It is drawing showing the configuration of a rate control circuit.

[Drawing 10] It is drawing showing the state transition diagram of a data No.

change-over circuit.

[Drawing 11] It is drawing showing the state transition diagram of a packet information generation circuit.

[Drawing 12] It is drawing showing the configuration of the picture compression equipment concerning the gestalt 2 of operation.

[Drawing 13] It is drawing showing the state transition diagram of a data-processing circuit.

[Drawing 14] It is drawing showing a memory map.

[Drawing 15] It is drawing showing the configuration of a rate control circuit.

[Drawing 16] It is drawing showing the configuration of the picture compression equipment concerning the gestalt 3 of operation.

[Drawing 17] It is drawing showing the state transition diagram of a data-processing circuit.

[Drawing 18] It is drawing showing the configuration of a rate control circuit.

[Description of Notations] 29,210,310 A data-processing circuit, 32,220,320 A rate control circuit, 60,230 An address-generation circuit, 80,240,340 The amount arithmetic circuit of signs.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining the outline of reduction processing of the code data which the picture compression equipment concerning the gestalt 1 of operation performs.

[Drawing 2] It is drawing showing the configuration of picture compression equipment.

[Drawing 3] It is drawing showing the memory map of DRAM.

[Drawing 4] It is drawing for explaining the average of the effective pixel of the wavelet multiplier of a code block.

[Drawing 5] It is drawing showing the configuration of a masking multiplier count circuit.

[Drawing 6] It is drawing showing a memory map.

[Drawing 7] It is drawing showing a memory map.

[Drawing 8] It is drawing showing the state transition diagram of a data-processing circuit.

[Drawing 9] It is drawing showing the configuration of a rate control circuit.

[Drawing 10] It is drawing showing the state transition diagram of a data No. change-over circuit.

[Drawing 11] It is drawing showing the state transition diagram of a packet information generation circuit.

[Drawing 12] It is drawing showing the configuration of the picture compression equipment concerning the gestalt 2 of operation.

[Drawing 13] It is drawing showing the state transition diagram of a data-processing circuit.

[Drawing 14] It is drawing showing a memory map.

[Drawing 15] It is drawing showing the configuration of a rate control circuit.

[Drawing 16] It is drawing showing the configuration of the picture compression equipment concerning the gestalt 3 of operation.

[Drawing 17] It is drawing showing the state transition diagram of a data-processing circuit.

[Drawing 18] It is drawing showing the configuration of a rate control circuit.

[Description of Notations] 29,210,310 A data-processing circuit, 32,220,320 A rate control circuit, 60,230 An address-generation circuit, 80,240,340 The amount arithmetic circuit of signs.

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-304238

(P2004-304238A)

(43) 公開日 平成16年10月28日(2004.10.28)

(51) Int. Cl. 7

F1

テーマコード (参考)

H04N 1/41

H04N 1/41

B

5C059

H04N 7/30

H04N 7/133

Z

5C078

審査請求 未請求 請求項の数 7 O L (全 26 頁)

(21) 出願番号 特願2003-91307 (P2003-91307)
 (22) 出願日 平成15年3月28日(2003.3.28)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100062144
 弁理士 青山 稔
 (74) 代理人 100086405
 弁理士 河宮 治
 (72) 発明者 門脇 幸男
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 Fターム(参考) 5C059 MA00 MA24 ME11 UA00 UA02
 UA15 UA34
 5C078 AA04 BA32 BA53 CA22 CA25
 CA31 DA01 DA16

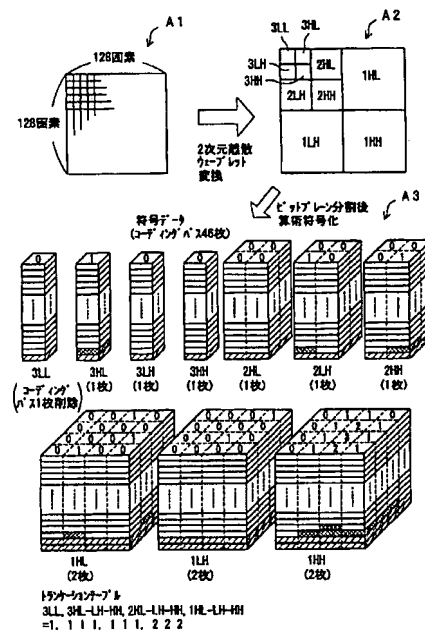
(54) 【発明の名称】 画像圧縮装置及び圧縮符号化方法

(57) 【要約】

【課題】再生画像の質をできるだけ保持しつつ、簡単な構成で迅速に目標の符号量に画像データの圧縮が行える画像圧縮装置を提供する。

【解決手段】本発明の画像圧縮装置は、画像データを周波数解析して得られる係数データを処理単位毎に符号化して符号データを生成する符号化部と、上記符号化部において処理単位毎に生成される符号データを削除することにより符号データの量を削減するデータ削減部と、各処理単位の係数データを更に第2処理単位の係数データに分割し、第2処理単位の係数データの値の大きさに応じて、上記データ削減部における符号データの削減量を上記第2処理単位で増やすデータ処理部を備えることを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画像データを周波数解析して得られる係数データを処理単位毎に符号化して符号データを生成する符号化部と、

上記処理単位で符号データの量を削減するデータ削減部と、

各処理単位の係数データ又は符号データを更に第2処理単位に分割し、第2処理単位の係数データ又は符号データの大きさに応じて、上記データ削減部における符号データの削除量を上記第2処理単位で増やすデータ処理部を備えることを特徴とする画像圧縮装置。

【請求項 2】

請求項 1 に記載の画像圧縮装置において、

上記データ削減部は、各処理単位に、符号データの内、係数データの下位ビット側のデータに対応する符号データを削除する内容を決めるトランケーションデータを、データ No. の増加に伴い符号データの削除量が次第に増加又は減少するように、かつ、再生画像の質が次第に劣化又は向上するように並べたトランケーションテーブルと、トランケーションデータに従い各処理単位の符号データを削除した後の符号データの変量が目標値であるとみなせる 1 つのトランケーションデータのデータ No. を特定するレートコントロール部を含み、上記レートコントロール部により特定されたデータ No. のトランケーションデータに基づいて符号データを削除する画像圧縮装置。

10

【請求項 3】

請求項 1 又は請求項 2 に記載の画像圧縮装置であって J P E G 2 0 0 0 に準拠した符号化処理を行う画像圧縮装置であり、

20

上記符号化部は、上記周波数解析として 2 次元離散ウェーブレット変換を行い、画像データを 2 次元離散ウェーブレット変換して得られるウェーブレット係数を、処理単位であるサブバンドに分割し、各サブバンドのウェーブレット係数を算術符号化して符号データを生成し、

上記データ削減部は、上記処理単位であるサブバンド単位で生成される符号データの内、係数データの下位ビット側のデータに対応する符号データを削除することにより符号データの量を削減し、

上記データ処理部は、上記処理単位であるサブバンドを第2処理単位であるコードブロックに分割し、各コードブロックのウェーブレット係数又は当該ウェーブレット係数を処理して得られるデータの値に応じて上記データ削減部における符号データの削除量をコードブロック単位で増加する画像圧縮装置。

30

【請求項 4】

請求項 3 に記載の画像圧縮装置において、

上記データ処理部は、各コードブロックの有効画素のウェーブレット係数又は当該ウェーブレット係数を処理して得られるデータの平均値を求める平均値算出回路と、平均値算出回路において求めた平均値の値に応じて、上記データ削減部において行う符号データの削除量の当該コードブロックについての増加量を特定するマスキング係数計算回路とを含む画像圧縮装置。

【請求項 5】

40

請求項 4 に記載の画像圧縮装置において、

上記データ処理部の備える平均値算出回路は、各コードブロックの有効画素のウェーブレット係数を量子化して得られるデータの平均値を求める画像圧縮装置。

【請求項 6】

請求項 4 に記載の画像圧縮装置において、

上記データ処理部の備える平均値算出回路は、各コードブロックの有効画素のウェーブレット係数を算術符号化して得られるデータの平均値を求める画像圧縮装置。

【請求項 7】

画像データの圧縮符号化方法であって、

画像データを周波数解析して得られる係数データを処理単位毎に符号化して符号データを

50

生成する符号化工程と、

上記処理単位で符号データの量を削減するデータ削減工程と、

各処理単位の係数データ又は符号データを更に第2処理単位に分割し、第2処理単位の係数データ又は符号データの値の大きさに応じて、上記データ削減工程における符号データの削除量を上記第2処理単位で増やすデータ処理工程とで成ることを特徴とする画像圧縮方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、J P E G 2 0 0 0等に準拠して画像データの圧縮符号化を行う画像圧縮装置及び圧縮符号化方法に関する。

【0002】

【従来の技術】

近年、高精細画像を取り扱うのに適した圧縮符号化方法としてJ E P G 2 0 0 0が知られている。J P E G 2 0 0 0の符号化処理では、画像データをY, C b, C rの各色成分のデータに変換した後、それぞれのデータに対して周波数解析として2次元離散ウェーブレット変換を行う。ウェーブレット変換により得られたウェーブレット係数のデータ（例えば16ビットデータ）を、サブバンド（たとえば、レベル3のウェーブレット変換の場合、3 L L, 3 H L, 3 L H, 3 H H, 2 H L, 2 L H, 2 H H, 1 H L, 1 L H, 1 H H）を処理単位としてビットプレーンに分割し、サブバンド毎に各ビットプレーンのデータを上位から順に3通りの方法によりスキャンして算術符号化を行う。上記3通りの方法は、“significant propagation pass”、“magnitude refinement pass”、“cleanup pass”と呼ばれている。

【0003】

符号データの圧縮（削減）は、上記3通りの方法によるスキャンで得られる各サブバンドの全コードブロックのコーディングパスの符号データを最下位のビットプレーン側から順に均一に削除（トランケーション）することにより行う。ここで、符号データの削除とは、削除するビットデータの値を0（無効データ）に置きかえることをいう。J P E G 2 0 0 0の符号化処理については、以下の非特許文献1に詳しく説明されている。

【0004】

【非特許文献1】

「静止画像符号化の新国際標準方式（J P E G 2 0 0 0）の概要」、映像情報メディア学会誌2000年、Vol. 54、No. 2、pp164-171

【0005】

【発明が解決しようとする課題】

J P E G 2 0 0 0の符号化処理では、上述するように各サブバンドの最下位のビットプレーンに対応するコーディングパスの符号データから順に削除することで簡単に目標とする符号データの量（単に符号量と記すこともある）にまでデータ圧縮を行うことができるが、データ削除のしかたによっては、符号データを復号して得られる再生画像の質が大きく劣化する場合がある。

【0006】

本発明は、再生画像の質をできるだけ保持しつつ、簡単な構成で迅速に目標の符号量に画像データの圧縮が行える画像圧縮装置及び圧縮符号化方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明の第1の画像圧縮装置は、画像データを周波数解析して得られる係数データを処理単位毎に符号化して符号データを生成する符号化部と、上記処理単位で符号データの量を削減するデータ削減部と、各処理単位の係数データ又は符号データを更に第2処理単位に分割し、第2処理単位の係数データ又は符号データの大きさに応じて、上記データ削減部

における符号データの削除量を上記第2処理単位で増やすデータ処理部を備えることを特徴とする。

【0008】

本発明の第2の画像圧縮装置は、上記第1の画像圧縮装置において、上記データ削減部は、各処理単位に、符号データの内、係数データの下位ビット側のデータに対応する符号データを削除する内容を決めるランケーションデータを、データNo.の増加に伴い符号データの削除量が次第に増加又は減少するように、かつ、再生画像の質が次第に劣化又は向上するように並べたランケーションテーブルと、ランケーションデータに従い各処理単位の符号データを削除した後の符号データの量が目標値であるとみなせる1つのランケーションデータのデータNo.を特定するレートコントロール部を含み、上記レートコントロール部により特定されたデータNo.のランケーションデータに基づいて符号データを削除することを特徴とする。

10

【0009】

本発明の第3の画像圧縮装置は、上記何れかの画像圧縮装置であって、J P E G 2 0 0 0 に準拠した符号化処理を行う画像圧縮装置であり、上記符号化部は、上記周波数解析として2次元離散ウェーブレット変換を行い、画像データを2次元離散ウェーブレット変換して得られるウェーブレット係数を、処理単位であるサブバンドに分割し、各サブバンドのウェーブレット係数を算術符号化して符号データを生成し、上記データ削減部は、上記処理単位であるサブバンド単位で生成される符号データの内、係数データの下位ビット側のデータに対応する符号データを削除することにより符号データの量を削減し、上記データ処理部は、上記処理単位であるサブバンドを第2処理単位であるコードブロックに分割し、各コードブロックのウェーブレット係数又は当該ウェーブレット係数を処理して得られるデータの値に応じて上記データ削減部における符号データの削除量をコードブロック単位で増加することを特徴とする。

20

【0010】

本発明の第4の画像圧縮装置は、上記第3の画像圧縮装置において、上記データ処理部は、各コードブロックの有効画素のウェーブレット係数又は当該ウェーブレット係数を処理して得られるデータの平均値を求める平均値算出回路と、平均値算出回路において求めた平均値の値に応じて、上記データ削減部において行う符号データの削除量の当該コードブロックについての増加量を特定するマスキング係数計算回路とを含むことを特徴とする。

30

【0011】

本発明の第5の画像圧縮装置は、上記第4の画像圧縮装置において、上記データ処理部の備える平均値算出回路は、各コードブロックの有効画素のウェーブレット係数を量子化して得られるデータの平均値を求めることを特徴とする。

【0012】

本発明の第6の画像圧縮装置は、上記第4の画像圧縮装置において、上記データ処理部の備える平均値算出回路は、各コードブロックの有効画素のウェーブレット係数を算術符号化して得られるデータの平均値を求めることを特徴とする。

【0013】

本発明の圧縮符号化方法は、画像データの圧縮符号化方法であって、画像データを周波数解析して得られる係数データを処理単位毎に符号化して符号データを生成する符号化工程と、上記処理単位で符号データの量を削減するデータ削減工程と、各処理単位の係数データ又は符号データを更に第2処理単位に分割し、第2処理単位の係数データ又は符号データの値の大きさに応じて、上記データ削減工程における符号データの削除量を上記第2処理単位で増やすデータ処理工程とで成ることを特徴とする。

40

【0014】

【発明の実施の形態】

以下、添付の図面を参照しつつ実施の形態1～3に係る画像圧縮装置について説明する。

【0015】

(1) 実施の形態1

50

(1-1) データ削除処理の概要

図1は、実施の形態1に係る画像圧縮装置100（図2を参照）が実行する符号データの削除（トランケーション）処理の内容を概説するための図である。例えば、矢印A1に示す128×128画素の画像データを符号化する場合について考える。まず、上記画像データをY、Cb及びCrの3つの色成分のデータに変換する。各色成分のデータに対して行う処理内容は同じであるため、以下、Y成分のデータ処理について説明する。Y成分のデータに対して周波数解析として2次元離散ウェーブレット変換を施し、処理単位として矢印A2で示すようなサブバンド（3LL、3HL、3LH、3HH、2HL、2LH、2HH、1HL、1LH、1HH）で成る各16ビットのウェーブレット係数を得る。ウェーブレット係数を各サブバンドに分割し、更に16枚のビットプレーンに分割する。各サブバンドの16枚のビットプレーンのウェーブレット係数を上位ビットから順に3通りの方法によりスキャンして算術符号化を行う。上記3通りの方法は、“significant propagation pass”、“magnitude refinement pass”、“cleanup pass”と呼ばれている。上記算術符号化により矢印A3で示すように、各サブバンド毎に、合計46枚のコーディングパスで成る符号データが生成される。

10

【0016】

実施の形態1に係る画像圧縮装置100は、各サブバンドのコーディングパスの符号データを最下位ビットプレーン側から順に、以下の2つの手法により削除（トランケーション）する。

20

【0017】

第1手法による符号データの削除について説明する。まず、「表1」に示すように、Y、Cb、Crの各色成分別に、各サブバンド（3LL、3HL、3LH、3LL、2HL、2LH、2LL、1HL、1LH、1LL）の各コーディングパスの符号データを最下位ビットプレーン側から何枚ずつ削除するかを決めるデータ（以下、トランケーションデータという）で成る1500個以上のデータで構成されるランケーションテーブルを用意する。

【表1】

データ No. T	Y成分の3LL, 3HL-LH-HH, 2HL-LH-HH, 1HL-LH-HH Cb成分の3LL, 3HL-LH-HH, 2HL-LH-HH, 1HL-LH-HH Cr成分の3LL, 3HL-LH-HH, 2HL-LH-HH, 1HL-LH-HH	データ No. T	Y成分の3LL, 3HL-LH-HH, 2HL-LH-HH, 1HL-LH-HH Cb成分の3LL, 3HL-LH-HH, 2HL-LH-HH, 1HL-LH-HH Cr成分の3LL, 3HL-LH-HH, 2HL-LH-HH, 1HL-LH-HH
T=0	0, 0 0 0, 0 0 0, 0 0 0 0, 0 0 0, 0 0 0, 0 0 1 0, 0 0 0, 0 0 0, 0 0 0	T=399	1, 1 1 3, 4 4 6, 101017 9, 101013, 141418, 202027 8, 9 911, 121216, 181823
T=1	0, 0 0 0, 0 0 0, 0 0 0 0, 0 0 0, 0 0 0, 0 0 2 0, 0 0 0, 0 0 0, 0 0 0	T=400	1, 1 1 3, 4 4 6, 101017 9, 101013, 141418, 202027 8, 9 911, 121216, 181823
T=2	0, 0 0 0, 0 0 0, 0 0 0 0, 0 0 0, 0 0 0, 0 0 3 0, 0 0 0, 0 0 0, 0 0 0	.	.
.	.	.	.
.	.	T=499	.
T=99	0, 0 0 0, 0 0 0, 0 0 6 0, 0 0 3, 4 4 8, 101017 0, 0 0 1, 2 2 6, 7 713	T=500	.
T=100	0, 0 0 0, 0 0 0, 0 0 7 0, 0 0 3, 4 4 8, 101017 0, 0 0 1, 2 2 6, 7 713	.	.
.	.	.	.
.	.	T=1000	.
T=199	0, 0 0 0, 0 0 0, 5 511 3, 4 4 7, 8 813, 151521 2, 3 3 6, 7 710, 121217	.	.
T=200	0, 0 0 0, 0 0 0, 5 511 3, 4 4 7, 8 813, 151522 2, 3 3 6, 7 710, 121217	T=1500	.
.	.	.	.
.	.	.	.
T=299	0, 0 0 0, 1 1 4, 8 814 6, 7 710, 111216, 181825 6, 6 6 9, 101013, 151520	.	.
T=300	0, 0 0 0, 1 1 4, 8 814 6, 7 710, 121216, 181825 6, 6 6 9, 101013, 151520	.	.
.	.	.	.
.	.	.	.
.	.	.	.

10

20

30

40

【0018】

例えば、トランケーションデータとして、1, 1 1 1, 1 1 1, 2 2 2が定義されている場合を考える。上記トランケーションデータは、図1の矢印3に斜線を引いて示すように、算術符号化を行う場合の処理単位である各サブバンドが有する全コードブロックのコーディングパスの符号データを、最下位ビットプレーン側から順に削除する枚数を特定するものであり、本例では、3LLについて1枚、レベル3のHL、LH、HH

50

について各1枚、レベル2のHL、LH、HHについて各1枚、レベル1のHL、LH、HHについて各2枚ずつ削除すること意味する。

【0019】

上記「表1」に示すトランケーションデータは、データNo.の増加に伴い、削除する符号データの量（単に符号量と記すこともある）が次第に多くなるように、かつ、再生画像の質が次第に劣化するように構成する。なお、トランケーションテーブルは、データNo.の増加に伴い、削除する符号量が次第に少なくなり、再生画像の質が次第に向上するように構成することも考えられる。この場合における処理内容の変更点は、後に、該当箇所において説明する。

【0020】

各トランケーションデータは、あるサンプル画像を用いた実験又は様々なサンプル画像を用いた実験結果の統計等に基づいて作成する。なお、複数のテーブルを用意しておき、例えば、動画撮影時における各フレーム間における被写体の移動量によって使用するテーブルを切り換える構成を採用しても良い。

【0021】

実施の形態1に係る画像処理装置100では、各サブバンドの16枚のビットプレーンを算術符号化を施して得られる各コーディングパスの符号量をメモリ（図2に示すメモリA及びメモリBが該当する）に記録しておき、上記メモリに記憶している符号量のデータから符号データの削減量（単に符号削減量と記すこともある）を求め、求めた値の目標符号削減量に対する過不足を算出する。符号データの削減量が少なく、目標とする符号削減量に達しない場合には、より大きな値のデータNo.のデータ削減量の多いトランケーションデータを選択する。逆に符号データの削減量が多く、目標とする符号削減量を超える場合、より小さな値のデータNo.のデータ削減量の少ないトランケーションデータを選択する。

【0022】

上記第1手法による符号データの圧縮では、データNo.の増加に伴い徐々に符号削減量が増加すると共に、画質が劣化するように並べたトランケーションデータを予め用意することで、JPEG2000の標準に従いトランケーション後の符号を復号してトランケーション前の画像との歪み量を調べ、最も歪みの少なくなるトランケーション内容を特定するといった処理自体が不要になる利点を持つ。

【0023】

第2手法によるデータ削減は、上記第1の手法がトランケーションテーブルのデータによりサブバンド毎に特定される枚数のコーディングパスの符号データを一律に削除するのに対し、各サブバンドを更に、第2処理単位であるコードブロックに分割し、各コードブロック毎にウェーブレット係数又は当該ウェーブレット係数を処理して得られるデータの大きさに応じて特定される枚数だけ、削除するコーディングパスの枚数を増やすものである。当該第2手法は、同一のサブバンド内でコードブロック毎にデータ削減量を変えるとコードブロックの境界部分で再生画像に目立つ歪みが生じるため、符号データの削除はサブバンド単位で行うのが普通であるところ、サブバンド内で特に画像成分（有効画素のウェーブレット係数又は当該ウェーブレット係数を処理して得られるデータの平均値）の多い部分は多めにデータ削除を行っても歪みが目立たず、再生画像の質の劣化が穏やかであると感じる人の視覚特性に基づいて行うものである。これにより、通常の処理単位であるサブバンド単位で均一に大きく符号データの削除を行う場合に比べて、再生画像の質をできるだけ高いレベルに維持しつつ圧縮率を高めることができる。

【0024】

より具体的には、各サブバンドのコードブロック毎に当該コードブロックの有効画素のウェーブレット係数又は当該ウェーブレット係数を処理して得られるデータの平均値に応じて更に削除するコーディングパスの枚数（0～2）を決める。図中、矢印A3で示される各サブバンドには各コードブロックを点線で区画して表し、マスク数（更に削除するコーディングパスの枚数）を各コードブロックの上に記すと共に、対応するコーディングパス

10

20

30

40

50

をクロスハッチングして表す。このように、コードブロック毎に削除するコーディングパスの枚数を調節することにより、再生画像の質の劣化を防ぎつつ、より効率の良い符号データの削除を実現する。

【0025】

(1-2) 画像圧縮装置の構成

図2は、実施の形態1に係る画像圧縮装置100の構成を示す図である。画像圧縮装置100は、ウェーブレット変換部10、算術符号化部20、パケットヘッダ生成処理部30、メモリコントローラ40及びDRAM50で構成される。メモリコントローラ40は、いわゆるアービタ回路であり、上記ウェーブレット変換部10、算術符号化部20及びパケットヘッダ生成処理部30が備える各DMA13、26、25、31、33、35及び37のDRAM50に対するデータアクセス権の調停を行う。DRAM50は、上述した「表1」のデータを記憶している他、処理するフレーム画像の全てのサブバンドについての符号データが書き込まれる。

10

【0026】

以下、必要に応じて図3～図11を参照しつつ、ウェーブレット変換部10、算術符号化部20及びパケットヘッダ生成処理部30の構成及び動作について詳細に説明する。

【0027】

(1-2-1) ウェーブレット変換部

ウェーブレット変換部10は、画像データを16ビットのウェーブレット係数に変換する。色変換回路11は、入力される画像データをY、Cb及びCrの各色成分に変換して出力する。ウェーブレット変換回路12は、色変換後の各成分のデータに対して2次元離散ウェーブレット変換を実行する。DMA13は、生成されたウェーブレット係数をDRAM50の所定のアドレスに格納する。なお、色変換回路11及びウェーブレット変換回路12は、周知の回路である。

20

【0028】

(1-2-2) 算術符号化部

算術符号化部20は、上記ウェーブレット変換部10においてDRAM50に格納されたウェーブレット係数に対して算術符号化処理を施し、各サブバンドのコーディングパス毎の符号データをDRAM50に書き込むと共に、各サブバンドのコードブロック毎のマスク量(コーディングパス枚数)を特定し、特定したマスク量をメモリA又はメモリBに書き込む。

30

【0029】

更に、上記特定したマスク量及び各コードブロックのコーディングパス毎の符号量から、トランケーションデータに基づいて各サブバンドのコーディングパスを1枚ずつ削除する場合に減少する符号量を特定し、メモリC又はメモリDに書き込む。なお、上記符号量は、各コードブロックについてマスク量に応じた追加の符号データ削除を行った値である。

【0030】

DMA21は、DRAM50の所定のアドレスに格納されているウェーブレット係数をサブバンド単位で読み出す。読み出された16ビットのウェーブレット係数は、量子化回路22においてエントロピー量子化された後、ビットプレーン分割回路23に入力され16枚のビットプレーンに分割される。算術符号化回路24は、サブバンド毎に各ビットプレーンのデータを上位ビットから順に3通りの方法(コーディングパスという)によりスキャンして算術符号化を行う。上記3通りの方法は、“significant propagation pass”、“magnitude refinement pass”、“cleanup pass”と呼ばれる。算術符号化部24から出力される符号データは、 $15 \times 3 + 1 = 46$ 枚のコーディングパスの符号データで成り、DMA25を介してDRAM50に書き込まれる。なお、量子化回路22、ビットプレーン分割回路23及び、算術符号化回路24は周知の回路である。

40

【0031】

図3は、DRAM50内の符号データに関するメモリマップである。符号データは、3L

50

L、3HL、3LH、3HH、2HL、2LH、2HH、1HL、1LH、1HHの順で書き込まれている。例えば、2HHのサブバンド内では、所定の順序で割り当てたコードブロックの番号順(1、2、・・・10、・・・CB_{2HH}・MAX(但し、CB_{2HH}・MAXは、2HHにあるコードブロックに割り当てた番号の最大値を表す))に46枚分のコーディングパスの符号データが書き込まれている。

【0032】

再び図2を参照する。DMA21によってDRAM50から読み出されたウェーブレット係数は、量子化回路22だけでなく平均値算出回路26にも入力される。平均値算出回路26では、各コードブロックの有効画素のウェーブレット係数の平均値を算出して出力する。ここで有効画素とは、所定の画素マトリクスで成るコードブロック内において有効なウェーブレット係数のデータを持つ画素のことを指す。例えば、図4に示すように、縦64画素×横62画素で成る1LHのサブバンドを16画素×16画素で成るコードブロックに分割した場合、図中右隅に縦に並ぶ各コードブロックについては、右端に×印で示す縦16画素×横2画素は有効なウェーブレット係数のデータを持たない。そこで、当該右隅に縦に並ぶコードブロックについては、×印以外の画素のウェーブレット係数の平均値を求める。なお、当該平均値算出回路26は周知の回路である。

10

【0033】

また、平均値算出回路26に入力されるデータは、コードブロック単位のウェーブレット係数に限定されず、当該ウェーブレット係数を処理して得られるコードブロック単位のデータ、例えば、量子化回路22において量子化された後のコードブロック単位のデータ、又は、算術符号化回路24において算術符号化されたコードブロック単位の符号データを用いても良い。

20

【0034】

再び図2を参照する。マスキング係数計算回路27は、平均値算出回路26から順に出力される各コードブロック毎のウェーブレット係数の平均値の値に応じて0枚、1枚、2枚の追加のマスキング係数、即ち、マスク量(符号データを削除するコーディングパスの枚数)を特定して出力する。

【0035】

図5は、マスキング係数計算回路27の構成を示す図である。マスキング係数計算回路27は、3つの比較器27a、27b及び27cと、1つのセレクトア27dにより構成される。比較器27a、27b及び27cの一方の信号入力端子には各コードブロック毎の有効画素のウェーブレット係数の平均値が入力され、残りの信号入力端子にはしきい値1、しきい値2、しきい値3が入力されている。上記しきい値1～3は、しきい値1<しきい値2<しきい値3の関係を満たす。比較器27aは入力される平均値がしきい値1より大きい場合にはHighレベルの信号を出力し、小さい場合にはLowレベルの信号を出力する。同様に、比較器27bは入力される平均値がしきい値2より大きい場合にはHighレベルの信号を出力し、小さい場合にはLowレベルの信号を出力する。比較器27cは入力される平均値がしきい値3より大きい場合にはHighレベルの信号を出力し、小さい場合にはLowレベルの信号を出力する。

30

【0036】

セレクトア27dは、比較器27a、比較器27b及び比較器27cからLowレベルの信号が入力される場合にマスク量0を出力し、比較器27aからHighレベルの信号が入力され、残りの比較器27b及び比較器27cからLowレベルの信号が入力される場合にマスク量1を出力し、比較器27a及び比較器27bからHighレベルの信号が入力され、比較器27cからLowレベルの信号が入力される場合にマスク量2を出力する。比較器27a、比較器27b及び比較器27cの全てからHighレベルの信号が入力される場合には、マスク量3を出力する。

40

【0037】

再び図2を参照する。メモリA及びメモリBは、処理するフレーム画像単位で交互にインテラブルに切り換えられるメモリであり、マスキング係数計算回路27から出力される各サ

50

サブバンドのコードブロック毎のマスキ量を記録する。

【0038】

図6は、メモリAのメモリマップである。メモリBのメモリマップはメモリAと同じである。図示するように、3LL、3HL、3LH、3HH、2HL、2LH、2HH、1HL、1LH、1HHの各サブバンド内のコードブロック毎のマスキ量が記憶される。本図では、2HHのサブバンドでは $CB = 1 \sim CB_{2HH \cdot MAX}$ のマスキ量を記憶していることを示している。なお、 $CB_{2HH \cdot MAX}$ は、サブバンド内のコードブロックに割り当てた番号の最大値を表し、本図の場合、16個のコードブロックを有する2HHのサブバンドでは $CB_{2HH \cdot MAX}$ は16である。

【0039】

再び図2を参照する。算術符号化回路24の出力する符号データは、符号量算出回路28にも出力される。符号量算出回路28では、各コードブロックのビットプレーンに対応するコーディングパス毎の符号量を計数し、係数値をデータ処理回路29に出力する。データ処理回路29には、更に、上記メモリA又はメモリBに書き込まれた各コードブロックのマスキ量（コーディングパス枚数）が入力される。データ処理回路29は、各サブバンドのコーディングパスの符号データを最下位のビットプレーン側から1枚ずつ削除する場合において、更に、マスキ量を考慮した符号データの削減量を求め、求めた符号データの削減量を表すデータをメモリC又はメモリDに書き込む。

【0040】

図7は、メモリCのメモリマップを示す図である。メモリDのメモリマップはメモリCのメモリマップと同じである。図示するように、アドレスADD 3LLには、サブバンド3LLの46枚のコーディングパスを最下位のビットプレーンから順に削除した場合の符号データの削減量を表すデータが書き込まれる。アドレスADD 3HL、アドレスADD 3LH、アドレスADD 3HH、アドレスADD 2HL、アドレスADD 2LH、アドレスADD 2HH、アドレスADD 1HL、アドレスADD 1LH及びアドレスADD 1HHについても同様である。

【0041】

図7では、更にアドレスADD 1LH～ADD 1HHの空間に書き込まれるデータについて詳しく示す。各コーディングパスの符号データを最下位のビットプレーン側から順に削除した場合の符号データの削減量 S_n （但し、 n は0～46）は、ある一定のビット数（例えば20ビット）のデータで表現される。上記20ビット分のデータ書き込み領域を確保するオフセットアドレス ADD_{OFF} を特定すれば、コーディングパスを0枚～46枚と順に削除する場合の符号データの削減量 S_n を表すデータは、アドレスADD 1LHに削除するコーディングパスの枚数分のオフセットアドレスを加算したアドレス（ADD 1LH、ADD 1LH+ADD_{OFF}、ADD 1LH+2×ADD_{OFF}、ADD 1LH+3×ADD_{OFF}、…、ADD 1LH+46×ADD_{OFF}）に順に書き込まれることになる。

【0042】

図8は、データ処理回路29の状態遷移図である。当該状態遷移図を、米国Synopsys社の論理合成ツールに入力することで具体的な回路が自動的に設計される。以下、状態遷移図の説明を行う。まず、サブバンド特定パラメータSBの値に対応するサブバンドを定義しておく。即ち、SB=1は3LLに対応し、SB=2は3HLに対応し、SB=3は3LHに対応し、SB=4は3HHに対応し、SB=5は2HLに対応し、SB=6は2LHに対応し、SB=7は2HHに対応し、SB=8は1HLに対応し、SB=9は1LHに対応し、SB=10は1HHに対応する。

【0043】

パラメータSBの値を1に設定する（ステップS1）。符号データの削除を行うコーディングパスの枚数を特定するパラメータBPの値を0に設定すると共に、BP枚目のコーディングパスの符号データを最下位のビットプレーン側から削除することにより減少する符号量（符号データの変量）を表す変数 S_{BP} の値を0に設定する（ステップS2）。パラ

10

20

30

40

50

メータ S_B の値により特定されるサブバンドのコードブロックを特定するパラメータ C_B の値を 1 に設定する (ステップ S 3)。

【0044】

パラメータ B_P の値にパラメータ C_B の値により特定されるコードブロックにおいて削除するマスク量 $M(C_B)$ を加算した値を、当該コードブロックにおいて符号データの削除を行うコーディングパスの枚数を示すパラメータ Q とする (ステップ S 4)。パラメータ C_B の値により特定されるコードブロックの最下位ビットプレーン側から Q 枚分のコーディングパスの符号量の合計 $S_{B_P}(C_B)$ を算出する (ステップ S 5)。

【0045】

パラメータ B_P の値が 0 の場合、即ちマスク量分のコーディングパスの符号データだけを削除する場合 (ステップ S 6 で NO)、 $S_{B_P}(C_B)$ の値を直接符号量 S_{B_P} に設定する (ステップ S 8)。

【0046】

パラメータ B_P の値が 1 以上の場合 (ステップ S 6 で YES)、 $S_{B_P}(C_B)$ の値から前回の $S_{B_P-1}(C_B)$ の値を差し引いた値を $S_{B_P}(C_B)$ とし (ステップ S 7)、当該 $S_{B_P}(C_B)$ を S_{B_P} の値に加算し、加算した値を符号量 S_{B_P} とする (ステップ S 8)。

【0047】

パラメータ C_B に 1 を加算する (ステップ S 9)。ここで、パラメータ C_B の値がパラメータ S_B で特定されるサブバンドのコードブロックに割り当てた番号の最大値 $C_{B_{S_B \cdot M_{A_X}}}$ 以下の場合には (ステップ S 10 で NO)、上記ステップ S 4 に戻る。他方、パラメータ C_B の値が上記 $C_{B_{S_B \cdot M_{A_X}}}$ よりも大きい場合には (ステップ S 10 で YES)、フレーム単位でイネーブルに切り換えるメモリ A およびメモリ B の内、選択されているメモリのアドレス ADD “SB” にオフセットアドレスとして $ADD_{OFF} \times B_P$ を加算した値のアドレスに符号量 S_{B_P} を書き込む (ステップ S 11)。上記アドレス ADD “SB” は、例えば、パラメータ S_B が 1 の場合、図 7 に示したようにアドレス ADD 3 LL のことを示す。

【0048】

パラメータ B_P に 1 を加算する (ステップ S 12)。ここで、パラメータ B_P の値が 46 以下の場合 (ステップ S 13 で NO)、上記ステップ S 3 に戻る。他方、パラメータ B_P の値が 46 を越えた場合、即ち、パラメータ S_B で特定されるサブバンドの 46 枚のコーディングパス全てについての処理が終了した場合には (ステップ S 13 で YES)、次のサブバンドについて処理を行うため、パラメータ S_B の値に 1 を加算する (ステップ S 14)。パラメータ S_B の値が上記定義した最大値である 10 以下の場合 (ステップ S 15 で NO)、上記ステップ S 2 に戻る。パラメータ S_B の値が 10 を越えた場合 (ステップ S 15 で YES)、全てのサブバンドについての処理が完了したと判断して処理を終了する。

【0049】

なお、上記状態遷移図に基づく処理は、図示しない中央演算処理装置によるソフトウェア処理によって実現しても良い。この場合の処理フローチャートは、上記状態遷移図と同じである。

【0050】

(1-2-3) パケットヘッダ生成処理部

パケットヘッダ生成処理部 30 は、上記算術符号化部 20 において求めた、各サブバンドのコーディングパスの符号データを最下位ビットプレーン側から 1 枚づつ削除する場合であって、更に、コードブロック毎のマスク量を考慮に入れた場合の符号データの削減量に基づいて、符号データを所望量だけ削除するのに適当なランケーションデータのデータ No. を特定し、特定したデータ No. のランケーションデータに基づいて得られる符号データの packets ヘッダを生成し、ビットストリームを形成して出力する。

【0051】

レートコントロール回路 32 は、まず、「表 1」に定めるデータ No. 128 のランケーションデータを DMA 31 を介して DRAM 50 より読み出し、読み出したランケーションデータの内容に従い、全てのサブバンドについてコードブロック毎に特定される符号データの削減量の合計を算出し、目標削減量との比較を行う。ここで、目標削減量に満たない場合には、より大きな値のデータ No. のランケーションデータを読み出し、当該データの内容に従い全てのサブバンドにおけるデータ削減量の合計を求める。逆の場合、即ち、符号データの削減量の合計値が目標削減量よりも多い場合、より小さな値のデータ No. のランケーションデータを読み出し、符号データの削減量を再度算出する。上記符号データの削減量が目標削減量であるとみなせる値になる 1 のデータ No. を特定し、このデータ No. を表すデータを後段の packets 情報生成回路 34 に出力する。

10

【0052】

図 9 は、レートコントロール回路 32 の構成を示す図である。レートコントロール回路 32 は、大きく分けてアドレス生成回路 60、符号量演算回路 80 及びデータ No. 切替回路 90 とで構成される。

【0053】

アドレス生成回路 60 及び符号量演算回路 80 は、指定されたデータ No. のランケーションデータを上記ランケーションテーブルから読出し、読み出したランケーションデータの内容に従い各処理単位の符号データの下位ビット側のデータを削除する場合の符号データの変量を算出する演算部として機能する。

【0054】

アドレス生成回路 60 は、DMA 31 を介して入力されるランケーションデータの内容に基づいて加算又は減算させるビットプレーンの符号量のデータを読み出すアドレスを生成し、メモリ C 及びメモリ D に出力する。メモリ C 及びメモリ D の内、処理しているフレーム画像のデータが格納されており、イネーブル状態にあるメモリは、指定されたアドレスに格納している符号データの削減量を表すデータを符号量演算回路 80 に出力する。

20

【0055】

符号量演算回路 80 は、メモリ C 又はメモリ D より送られてくるデータ削減量の全サブバンドについての合計を求め、求めた合計値と目標削減量との比較を行い、比較結果を表す信号を次段のデータ No. 切替回路 90 に出力する。

【0056】

データ No. 切替回路 90 は、上記符号量演算回路 80 から出力される比較結果信号に基づいて異なるデータ No. のランケーションデータを DMA 33 を介して DRAM 50 に要求する。また、符号データ削減量が目標削減量であるとみなせる最終の 1 のデータ No. を表す信号を packets 情報生成回路 36 に出力する。

30

【0057】

以下、アドレス生成回路 60、符号量算出回路 80 及びデータ No. 切替回路 90 の順に構成及び動作についてより詳しく説明する。

【0058】

DRAM 50 から DMA 31 を介して入力されるランケーションデータは、アドレス生成回路 60 が備えるシフトレジスタ 61 に出力される。シフトレジスタ 61 は、今回と前回のランケーションデータを記憶する。比較部 62 は、各サブバンド (3LL、3HL、3LH、3HH、2HL、2LH、2HH、1HL、1LH、1HH) の今回のランケーションデータの値から前回のランケーションデータの値を差し引いた値を求め、求めた値をセクタ 63 に出力する。なお、後述するが、前回の各サブバンドのランケーションデータは、セクタ 71 に出力される。

40

【0059】

サブバンド選択回路 64 は、選択信号の更新要求信号の入力に応じてサブバンド選択信号を次のサブバンドを選択する値に更新し、出力する。セクタ 63 は、サブバンド選択回路より入力される選択信号に応じて、サブバンド 3LL、3HL、3LH、3HH、2HL、2LH、2HH、1HL、1LH 及び 1HH の順に比較結果を表すデータをダウンカ

50

ウンタ65に出力する。上記比較結果を表すデータとは、例えば、選択信号により1HLのサブバンドが選択されている場合であって、当該1HLのサブバンドについての前回のトランケーションデータが1で今回のトランケーションデータが3の場合、差の+2のことである。セクタ63は、比較結果として+2を表すデータをダウンカウンタ65に出力する。

【0060】

ダウンカウンタ65は、セクタ63より出力される上記差のデータ値をダウンカウントする値に設定し、設定された値のダウンカウントを行い、カウント値をANDゲート66の一方の信号入力端子に出力する。ANDゲート66の残りの信号入力端子には、レジスタ68の出力信号が入力される。即ち、ANDゲート66は、ダウンカウンタ65がダウンカウントを行っている間、レジスタ68の値をそのまま演算器67の一方の信号入力端子に出力する。ダウンカウンタ65がダウンカウントを終了した場合、ANDゲート66はLowレベルの信号を出力する。当該Lowレベルの信号は、選択信号の更新要求信号としてサブバンド選択回路64に出力される。

10

【0061】

演算器67の加減算制御端子には、セクタ63から出力される信号の符号データが入力される。即ち、演算器67は、加減算制御信号として正を表す信号が入力されている間、ダウンカウンタ65のカウントタイミングに同期してオフセットアドレスADD_{OFF}を累算し、これを加算器69の一方の信号入力端子に入力する。逆に加減算制御信号として負を表す信号が入力されている間、ダウンカウンタ65のカウントタイミングに同期してレジスタ68に書き込まれている値からオフセットアドレスADD_{OFF}の値を減算する。

20

【0062】

セクタ70は、前述したサブバンド選択回路64の出力する選択信号に応じて対応するサブバンドのアドレスADD(ADD_{3LL}~ADD_{1HH})を加算器69のもう一方の信号入力端子に出力する。加算器69は、セクタ70から出力されるサブバンドのアドレスADDに、ダウンカウンタ65がダウンカウントする回数だけオフセットアドレスADD_{OFF}を累算したアドレスデータを加算器73の一方の信号入力端子に出力する。加算器73の残りの信号入力端子には、乗算器72において、セクタ71の出力値にオフセットアドレスADD_{OFF}の値を乗算した値が入力される。上記セクタ71は、サブバンド選択回路64が出力する選択信号により特定されるサブバンドの前回のトランケーションデータの値を出力する。上記構成により加算器73は、ダウンカウンタ65のダウンカウントに同期して各サブバンド毎に増加又は減少する符号量のデータを読み出すためのアドレスを生成し、出力する。

30

【0063】

符号量演算回路80の演算器81の加減算制御端子には、アドレス生成回路60において生成された加減算制御信号が入力されると共に、イネーブルになっているメモリC又はメモリDからアドレス生成回路60より指定されるアドレスに格納されている符号データの削減量を表すデータが入力される。演算器81のもう一方の信号入力端子には、レジスタ82を介して前回の当該演算器81の出力が再入力されている。当該構成により、レジスタ82には、今回選択されているトランケーションデータに基づく符号データの削減量が格納される。

40

【0064】

2入力ANDゲート84の一方の信号入力端子には、アドレス生成回路60のサブバンド選択回路64の選択信号が入力される。ANDゲート84の残りの信号入力端子には、レジスタ83が接続されている。レジスタ83には、サブバンド1HHを選択した後、即ち、全てのサブバンドの選択が終了した後出力される選択信号(最初に戻って3LLのサブバンドを選択する信号である場合を含む)と同じ値のデータが格納されている。これにより、サブバンド選択回路64により、全てのサブバンドの選択が終了した後、ANDゲート84からHighレベルのイネーブル信号が比較器85のイネーブル端子に出力され

50

る。比較器 85 は、レジスタ 82 から出力される全サブバンドの符号データの削減量の値と目標削減量とを比較し、符号データの削減量が目標削減量よりも多い場合には High レベルの比較結果信号を、少ない場合には Low レベルの比較結果信号を次段のデータ No. 切換回路 90 に出力する。

【0065】

図 10 は、データ No. 切換回路 90 の状態遷移図である。当該状態遷移図を、米国 Synopsys 社の論理合成ツールに入力することで具体的な回路が自動的に設計される。以下、状態遷移図の説明を行う。

【0066】

まず、処理内容指数 n の値を 1 に設定し（ステップ S20）、トランケーションデータのデータ No. T を 128 に設定する（ステップ S21）。設定したデータ No. T を DMA33 に出力する（ステップ S22）。符号量演算回路 80 の比較器 85 から、データ No. T のトランケーションデータに基づいて算出された全サブバンドの符号データの削減量と目標削減量との比較結果信号が入力されるのを待つ（ステップ S23 で NO）。上記比較結果信号を受け取った場合であって（ステップ S23 で YES）、その時の処理内容指数 n の値に応じ、更には、上記比較結果信号が符号データの削減量が目標削減量よりも多いことを表している場合（High レベルである場合）、又は、少ないことを表している場合（Low レベルである場合）に応じて以下の処理を実行する（ステップ S24）。 10

【0067】

具体的には、指数 n 値が 1 の場合であって、符号データの削減量が目標削減量に比べて不足している場合（ステップ S25 で YES）、現在のデータ No. T (= 128) の値に 128 を加算し（ステップ S26）、上記ステップ S22 に戻る。従って、符号データの削減量が目標削減量よりも少ない場合には、処理内容指数 n の値は 1 に保持される。他方、符号データの削減量が目標削減量に比べて多い場合（ステップ S25 で NO）、現在のデータ No. T (= 128) の値から 64 を減算し（ステップ S27）、指数 n の値に 1 を加算した後（ステップ S54）、上記ステップ S22 に戻る。 20

【0068】

上記ステップ S24 において、処理内容指数 n の値が 2 の場合であって、符号データの削減量が目標削減量に比べて不足している場合（ステップ S28 で YES）、データ No. T の値に 32 を加算し（ステップ S29）、指数 n の値に 1 を加算した後（ステップ S54）、上記ステップ S22 に戻る。他方、符号データの削減量が目標削減量に比べて多い場合（ステップ S28 で NO）、データ No. T の値から 32 を減算し（ステップ S30）、指数 n の値に 1 を加算した後（ステップ S54）、上記ステップ S22 に戻る。 30

【0069】

上記ステップ S24 において、処理内容指数 n の値が 3 の場合であって、符号データの削減量が目標削減量に比べて不足している場合（ステップ S31 で YES）、データ No. T の値に 16 を加算し（ステップ S32）、指数 n の値に 1 を加算した後（ステップ S54）、上記ステップ S22 に戻る。他方、符号データの削減量が目標削減量に比べて多い場合（ステップ S31 で NO）、データ No. T の値から 16 を減算し（ステップ S33）、指数 n の値に 1 を加算した後（ステップ S54）、上記ステップ S22 に戻る。 40

【0070】

上記ステップ S24 において、処理内容指数 n の値が 4 の場合であって、符号データの削減量が目標削減量に比べて不足している場合（ステップ S34 で YES）、データ No. T の値に 8 を加算し（ステップ S35）、指数 n の値に 1 を加算した後（ステップ S54）、上記ステップ S22 に戻る。他方、符号データの削減量が目標削減量に比べて多い場合（ステップ S34 で NO）、データ No. T の値から 8 を減算し（ステップ S36）、指数 n の値に 1 を加算した後（ステップ S54）、上記ステップ S22 に戻る。

【0071】

上記ステップ S24 において、処理内容指数 n の値が 5 の場合であって、符号データの削減量が目標削減量に比べて不足している場合（ステップ S37 で YES）、データ No. 50

Tの値に4を加算し(ステップS38)、指数nの値に1を加算した後(ステップS54)、上記ステップS22に戻る。他方、符号データの削減量が目標削減量に比べて多い場合(ステップS37でNO)、データNo. Tの値から4を減算し(ステップS39)、指数nの値に1を加算した後(ステップS54)、上記ステップS22に戻る。

【0072】

上記ステップS24において、処理内容指数nの値が6の場合であって、符号データの削減量が目標削減量に比べて不足している場合(ステップS40でYES)、データNo. Tの値に2を加算し(ステップS41)、指数nの値に1を加算した後(ステップS54)、上記ステップS22に戻る。他方、符号データの削減量が目標削減量に比べて多い場合(ステップS40でNO)、データNo. Tの値から2を減算し(ステップS42)、指数nの値に1を加算した後(ステップS54)、上記ステップS22に戻る。

10

【0073】

上記ステップS24において、処理内容指数nの値が7の場合であって、符号データの削減量が目標削減量に比べて不足している場合(ステップS43でYES)、データNo. Tの値に1を加算し(ステップS44)、フラグFの値を0にセット(ステップS45)、指数nの値に1を加算した後(ステップS54)、上記ステップS22に戻る。他方、符号データの削減量が目標削減量に比べて多い場合(ステップS43でNO)、データNo. Tの値に1を減算し(ステップS46)、フラグFの値を1にセットし(ステップS47)、指数nの値に1を加算した後(ステップS54)、上記ステップS22に戻る。

【0074】

上記ステップS24において、処理内容指数nの値が8以上場合、フラグFの値に応じて以下の処理を行う。即ち、フラグFの値が0の場合であって(ステップS48でYES)、符号データの削減量が目標削減量に比べて不足している場合(ステップS49でYES)、データNo. Tの値に1を加算し(ステップS50)、指数nの値に1を加算した後(ステップS54)、上記ステップS22に戻る。また、フラグFの値が1の場合であって(ステップS48でNO)、符号データの削減量が目標削減量に比べて多い場合(ステップS51でNO)、データNo. Tから1を減算し(ステップS52)、指数nの値に1を加算した後(ステップS54)、上記ステップS22に戻る。

20

【0075】

他方、フラグFの値が0の場合であって(ステップS48でYES)、符号データ削減量が多い場合(ステップS49でNO)、又は、フラグFの値が0であって(ステップS48でNO)、符号データ削減量が不足している場合(ステップS51でYES)には、トランケーションデータの番号を1増減するだけで目標削減量に比べて符号データの削減量が少ない状態から多い状態に代わり、又は多い状態から少ない状態に変わることを意味し、換言すれば、符号データ削減量が目標削減量に達したとみなすことができる。そこで、この時のデータNo. Tを最終的に使用する1のトランケーションデータのデータNo. であるとして、当該データNo. Tを表す信号をパケット情報生成回路34に出力し(ステップS53)、処理を終了する。

30

【0076】

なお、上記状態遷移図に基づく処理は、図示しない中央演算処理装置によるソフトウェア処理によって実現しても良い。この場合の処理フローチャートは、上記状態遷移図と同じである。

40

【0077】

なお、トランケーションテーブルを、データNo. の増加に伴い、削除する符号量が次第に少なくなり、再生画像の質が次第に向上するように構成する場合、上記ステップS21においてデータNo. の初期値を128の代わりにテーブルが備えるデータNo. の最後から128番目のデータNo. にすると共に、以降データNo. の変更を行うステップにおける加減算を逆、例えば、デブールNo. を32だけ増加させていた場合には、逆に32だけ減少させるようにすればよい。

【0078】

50

再び図2に戻る。パケット情報生成回路34は、最終的に選択されたデータNo.のランケーションデータより特定される各サブバンドのコーディングパス数、その符号量を算出し、算出したデータを後段のパケットヘッダ生成回路36に出力する。

【0079】

図11は、パケット情報生成回路の状態遷移図である。当該状態遷移図を、米国Synopsys社の論理合成ツールに入力することで具体的な回路が自動的に設計される。以下、状態遷移図の説明を行う。まず、レートコントロール回路32からランケートテーブルのデータNo. Tを表すデータが入力されるのを待機する(ステップS60でNO)。上記データNo. Tを表すデータを受け取った場合(ステップS60でYES)、データNo. TのランケーションデータをDRAM50から読み出す(ステップS61)。読み出したランケーションデータの内容から符号データ削除後に残る各サブバンドのコードブロックのコーディングパス数を算出する(ステップS62)。同じく読み出したランケーションデータの内容に基づいて、メモリC又はメモリDに記憶しているデータから符号データ削除後に残る各サブバンドのコードブロックのコーディングパスの符号量を算出する(ステップS63)。上記算出した各サブバンドのコードブロックのコーディングパス数及び符号量のデータをパケットヘッダ生成回路36に出力する(ステップS64)。

10

【0080】

なお、上記状態遷移図に基づく処理は、図示しない中央演算処理装置によるソフトウェア処理によって実現しても良い。この場合の処理フローチャートは、上記状態遷移図と同じである。

20

【0081】

再び図2に戻る。パケットヘッダ生成回路36は、パケット情報生成回路34より出力される上記上記算出した各サブバンドのコードブロックのコーディングパス数及び符号量のデータ、ゼロビットプレーン数、並びに、DMA37よりDRAM5から読み込んだ符号データ等のデータよりパケットヘッダを生成し、符号形成回路38に出力する。符号形成回路38は、パケットヘッダ生成回路36より出力されるデータよりビットストリームを形成し、目標削減量だけ符号データの削減を行った符号データとして外部に出力する。なお、パケットヘッダ生成回路36は、周知の回路である。

【0082】

30

(2) 実施の形態2

図12は、実施の形態2に係る画像圧縮装置200の構成を示す図である。実施の形態2に係る画像圧縮装置200は、各サブバンドのコードブロック毎に求めたマスク量及び各コードブロックのコーディングパス毎の符号量から、ランケーションデータに基づいて各サブバンドのコーディングパスを削除する場合に残る全サブバンドの符号データの総量を求め、求めた符号データの総量と目標符号量との比較を行うことにより最適なランケーションデータを特定することを特徴とする。

【0083】

実施の形態2に係る画像圧縮装置200の構成は、上述した実施の形態1に係る画像圧縮装置100と基本的に同じである(図2を参照)。以下、画像圧縮装置100が備えるものと異なる構成のデータ処理回路210及びレートコントロール回路220について説明する。なお、便宜上、上記実施の形態1に係る画像圧縮装置100と同じ構成物には同じ参照番号を付して説明する。

40

【0084】

図13は、画像圧縮装置200のデータ処理回路210の状態遷移図である。当該データ処理回路210は、図2に示した実施の形態1に係る画像圧縮装置100の備えるデータ処理回路29に相当する。当該状態遷移図を、米国Synopsys社の論理合成ツールに入力することにより具体的な回路が自動的に設計される。以下、状態遷移図の説明を行う。

【0085】

50

まず、サブバンド特定パラメータ S_B の値に対応するサブバンドを定義しておく。即ち、 $S_B = 1$ は 3 L L に対応し、 $S_B = 2$ は 3 H L に対応し、 $S_B = 3$ は 3 L H に対応し、 $S_B = 4$ は 3 H H に対応する。 $S_B = 5$ は 2 H L に対応し、 $S_B = 6$ は 2 L H に対応し、 $S_B = 7$ は 2 H H に対応する。 $S_B = 8$ は 1 H L に対応し、 $S_B = 9$ は 1 L H に対応し、 $S_B = 10$ は 1 H H に対応する。

【0086】

パラメータ S_B の値を 1 に設定する（ステップ S 7 0）。符号データの削除を行うコーディングパスの枚数を特定するパラメータ B_P の値を 0 に設定し、処理対象のコードブロックのコーディングパスの符号データを最下位のビットプレーン側から B_P 枚だけ削除した後に残る処理済のコードブロックについての符号データの総量を示す変数 D_{B_P} の値を 0 に設定する（ステップ S 7 1）。パラメータ S_B の値により特定されるサブバンドのコードブロックに 1 から順に割り当てた番号を特定するパラメータ C_B の値を 1 に設定する（ステップ S 7 2）。 10

【0087】

パラメータ B_P の値にパラメータ C_B の値により特定されるコードブロックにおいて削除するマスク量 $M(C_B)$ を加算した値を、当該コードブロックにおいて符号データの削除を行うコーディングパスの枚数を表すパラメータ Q とする（ステップ S 7 3）。符号量算出回路 28 の出力からパラメータ C_B の値に対応するコードブロックの符号データの総量 $S_{ALL}(C_B)$ を特定し、メモリ A 又はメモリ B から Q 枚分のコーディングパスの合計符号量 $S_{B_P}(C_B)$ を求め、上記 $S_{ALL}(C_B)$ から $S_{B_P}(C_B)$ の値を減算して変数 $D_{B_P}(C_B)$ を算出する（ステップ S 7 4）。処理済のコードブロックについての符号データの総量を示す変数 D_{B_P} の値に上記 $D_{B_P}(C_B)$ の値を加算する（ステップ S 7 5）。 20

【0088】

パラメータ C_B に 1 を加算する（ステップ S 7 6）。ここで、パラメータ C_B の値がパラメータ S_B で特定されるサブバンドのコードブロックに割り当てられた番号の最大値である $C_{B_{S_B \cdot MAX}}$ 以下の場合には（ステップ S 7 7 で NO）、上記ステップ S 7 3 に戻る。他方、パラメータ C_B の値が上記 $C_{B_{S_B \cdot MAX}}$ よりも大きい場合には（ステップ S 7 7 で YES）、フレーム単位でイネーブルに切り換えるメモリ C 及びメモリ D の内、選択されているメモリのアドレス ADD “SB” にオフセットアドレスとして $ADD_{OFF} \times B_P$ を加算した値のアドレスに符号量データ D_{B_P} を書き込む（ステップ S 7 8）。ここでアドレス ADD “SB” は、例えば、パラメータ S_B が 1 の場合、アドレス ADD 3 L L のことを示す。 30

【0089】

パラメータ B_P に 1 を加算する（ステップ S 7 9）。ここで、パラメータ B_P の値が 46 以下の場合（ステップ S 8 0 で NO）、上記ステップ S 7 2 に戻る。他方、パラメータ B_P の値が 46 を越えた場合、即ち、パラメータ S_B で特定されるサブバンドの 46 枚のコーディングパス全てについて処理が終了した場合には（ステップ S 8 0 で YES）、次のサブバンドの処理を行うため、パラメータ S_B の値に 1 を加算する（ステップ S 8 1）。パラメータ S_B の値が上記定義した最大値である 10 以下の場合（ステップ S 8 2 で NO）、上記ステップ S 7 1 に戻る。パラメータ S_B の値が 10 を越えた場合（ステップ S 8 2 で YES）、全てのサブバンドについての処理が完了したと判断して処理を終了する。 40

【0090】

なお、上記状態遷移図に基づく処理は、図示しない中央演算処理装置によるソフトウェア処理により実現しても良い。この場合の処理フローチャートは、上記状態遷移図と同じである。

【0091】

図 14 は、画像圧縮装置 200 のメモリ C 又はメモリ D のメモリマップを示す図である。図示するように、アドレス ADD 3 L L には、サブバンド 3 L L の 46 枚のコーディングパスの符号データを最下位ビットプレーン側から順に削除し、更にコードブロック毎に 50

特定されるマスク量の枚数のコーディングパスの符号データを更に削除した場合に残る符号データの総量を示すデータが書き込まれる。アドレスADD 3HL、アドレスADD 3LH、アドレスADD 3HH、アドレスADD 2HL、アドレスADD 2LH、アドレスADD 2HH、アドレスADD 1HL、アドレスADD 1LH、アドレスADD 1HHについても同様である。

【0092】

図14では、アドレスADD 2HH～ADD 1HLの空間に書き込まれるデータについて詳しく示してある。サブバンド2HHにおいて各コーディングパスの符号データを最下位ビットプレーン側から順に削除し、更にコードブロック毎に特定されるマスク量の枚数のコーディングパスの符号データを削除した場合に残る符号データの量 D_n （但し n は0～46）は、ある一定のビット数（例えば20ビット）のデータで表現される。上記20ビット分のデータ書き込み領域を確保するオフセットアドレスADD_{OFF}を特定すれば、コーディングパスを0枚～46枚削除する場合に残る符号量 D_n を示すデータは、アドレスADD 2HHに削除するコーディングパスの枚数分のオフセットアドレスを加算したアドレス（ADD 2HH、ADD 2HH+ADD_{OFF}、ADD 2HH+2×ADD_{OFF}、ADD 2HH+3×ADD_{OFF}、…、ADD 2HH+46×ADD_{OFF}）に順に書き込まれることになる。

【0093】

図15は、画像圧縮装置200のレートコントロール回路220の構成を示す図である。レートコントロール回路220は、まず、No. 128のランケーションデータをDMA31を介してDRAM50より読み出し、読み出したランケーションデータの内容に従いメモリC又はメモリDより各サブバンドの符号データの削除後の符号量を読み出し、これらの合計値を求め、目標符号量との比較を行う。ここで、目標符号量よりも符号量が多い場合、より大きなデータNo. のランケーションデータを読み出し、読み出したランケーションデータの内容に従い、再度、符号データ削除後の符号量を求める。逆の場合、即ち、符号データの削減後の符号量が目標符号量よりも少ない場合、より小さなデータNo. のランケーションデータを読み出し、読み出したランケーションデータの内容に従い、再度、符号データ削除後の符号量を求める。上記符号データ削除後の符号量が目標符号量であるとみなせる値になる1のデータNo. を特定し、このデータNo. を表すデータを後段の packets 情報生成回路34に出力する。

【0094】

アドレス生成回路230は、DMA31を介して入力されるランケーションデータの内容に従い、各サブバンドの符号データ削除後の符号量のデータを読み出すアドレス信号を生成し、メモリC又はメモリDに出力する。メモリC及びメモリDの内、処理しているフレーム画像のデータが格納されており、イネーブル状態にあるメモリは、指定されたアドレスに格納している符号データ削除後の符号量を表すデータを符号演算回路240に出力する。

【0095】

より具体的には、DMA31より入力されるランケーションデータは、レジスタ231に格納される。レジスタ231は、格納されたランケーションデータを各サブバンド毎のデータに分けて格納し、次段のセレクタ232に出力する。セレクタ232は、サブバンド選択回路233より出力される選択信号に応じて、サブバンド3LL、3HL、3LH、3HH、2HL、2LH、2HH、1HL、1LH、1HHの順にランケーションデータを乗算器235の一方の信号入力端子に出力する。乗算器235の残りの信号入力端子にはオフセットアドレスADD_{OFF}の値が入力されている。乗算器235は、選択信号により選択されたサブバンドのランケーションデータにより指定される削除するコーディングパスの枚数分のオフセットアドレスを加算器236の一方の信号入力端子に出力する。

【0096】

上記サブバンド選択回路233は、選択信号の要求信号として入力されるクロック信号C

10

20

30

40

50

L Kに同期して選択信号を次のサブバンドを選択する値に更新し、出力する。サブバンド選択回路233の出力する選択信号は、セレクトア234にも入力される。セレクトア234は、選択信号により特定されるサブバンドの先頭アドレスADD (ADD 3LL~ADD 1HH)を加算器236の残りの信号入力端子に出力する。

【0097】

上記構成を採用することにより、加算器236は、選択信号により選択されたサブバンドのランケーションデータにより指定される枚数にマスク量を加算した枚数のコーディングパスの符号データを最下位ビットプレーン側から削除した場合に残る符号量のデータの格納アドレスを生成し、メモリC又はメモリDに出力する。

【0098】

符号量演算回路240は、メモリC又はメモリDより送られてくる各サブバンドのデータ削除後の符号量より全サブバンドの符号データ削除後の符号量を求め、求めた符号量と目標符号量との比較を行い、比較結果を表す比較結果信号を次段のデータNo. 切換回路250に出力する。

【0099】

メモリC又はメモリDより符号量演算回路240に読み出される符号量のデータは、加算器241の一方の信号入力端子に入力される。加算器241の残りの信号入力端子には、当該加算器241の出力を格納するレジスタ242の値が入力される。当該構成を採用することで、レジスタ242にリセット信号が入力されるまでの間、メモリC又はメモリDより読み出される各サブバンドの符号量の合計値がレジスタ242に格納される。

【0100】

2入力ANDゲート244の一方の信号入力端子にはアドレス生成回路230のサブバンド選択回路233より出力される選択信号が入力される。ANDゲート244の残りの信号入力端子には、レジスタ243が接続されている。レジスタ243には、サブバンド選択回路233がサブバンド1HHを選択する選択信号を出力した後、即ち、全てのサブバンドの選択信号を出力した後、次に再び最初のサブバンド3LLを選択する前の間に出力される選択信号の値が格納されている。上記構成を採用することにより、ANDゲート244は、全てのサブバンドの選択信号を出力した後、次に再び最初のサブバンド3LLを選択する前のタイミングで比較器245のイネーブル端子にHighレベルのイネーブル信号を出力し、当該回路をイネーブルに切り換える。

【0101】

比較器245は、レジスタ242から出力される符号データ削除後の符号量と目標符号量との比較を行い、比較結果信号を次段のデータNo. 切換回路250に出力する。

【0102】

データNo. 切換回路250は、実施の形態1の画像圧縮装置100のデータ切換回路90と同じ構成でありここでの説明は省略する。

【0103】

(3) 実施の形態3

図16は、実施御形態3に係る画像圧縮装置300の構成を示す図である。画像圧縮装置300は、実施の形態1の画像圧縮装置100と同じように、各サブバンドのコードブロック毎のマスク量及び各コードブロックのコーディングパス毎の符号量を求め、ランケーションデータに基づいて各サブバンドのコーディングパスを1枚ずつ削除する場合の全サブバンドの符号データの削減量を求め、求めた符号データの削減量と目標符号削減量との比較を行うことにより最適なランケーションデータを特定する。

【0104】

ここで、上記実施の形態1の画像圧縮装置100が上記全てのサブバンドの符号データの削減量を求めるために、各サブバンドのコードブロックのコーディングパスの符号データを最下位ビットプレーン側から1枚ずつ削除した時に削減される符号量(符号データの変量)をメモリC及びメモリDに用意するのに対し、上記実施の形態3の画像処理装置300では、上記全てのサブバンドの符号データ削減量を求めるために、各サブバンドのコー

10

20

30

40

50

ドブロックのコーディングパスの符号データを最下位ビットプレーン側から1枚削除した場合の符号データの削減量、2枚削除した場合の符号データの削減量、・・・46枚削除した場合の符号データの削減量をメモリC及びDに用意することとを特徴とする。なお、上記2枚削除した場合の符号データの削減量とは、1枚目のコーディングパスの符号データを削除した場合の符号データの変量に、2枚目のコーディングパスの符号データを削除した場合の符号データの変量を加えた値である。

【0105】

実施の形態3に係る画像圧縮装置300の構成は、上述した実施の形態1に係る画像圧縮装置100と基本的に同じである（図2を参照）。以下、画像圧縮装置100が備えるものと異なる構成のデータ処理回路310及びレートコントロール回路320について説明する。なお、便宜上、上記実施の形態1に係る画像圧縮装置100と同じ構成物には同じ参照番号を付して説明する。

10

【0106】

図17は、画像圧縮装置300のデータ処理回路310の状態遷移図である。当該データ処理回路310は、図2に示した実施の形態1に係る画像圧縮装置100の備えるデータ処理回路29に相当する。当該状態遷移図を、米国Synopsys社の論理合成ツールに入力することにより具体的な回路が自動的に設計される。以下、状態遷移図の説明を行う。

【0107】

まず、サブバンド特定パラメータSBの値に対応するサブバンドを定義しておく。即ち、SB=1は3LLに対応し、SB=2は3HLに対応し、SB=3は3LHに対応し、SB=4は3HHに対応する。SB=5は2HLに対応し、SB=6は2LHに対応し、SB=7は2HHに対応する。SB=8は1HLに対応し、SB=9は1LHに対応し、SB=10は1HHに対応する。

20

【0108】

パラメータSBの値を1に設定する（ステップS90）。符号データの削除を行うコーディングパスの枚数を特定するパラメータBPの値を0に設定し、処理対象のコードブロックのコーディングパスの符号データを最下位ビットプレーン側からBP枚だけ削除した時の符号データの総削減量を示す変数 S_{BP} の値を0に設定する（ステップS91）。パラメータSBの値により特定されるサブバンドのコードブロックに1から順に割り当てた番号を特定するパラメータCBの値を1に設定する（ステップS92）。

30

【0109】

パラメータBPの値にパラメータCBの値により特定されるコードブロックにおいて削除するマスク量M(CB)を加算した値を、当該コードブロックにおいて符号データの削除を行うコーディングパスの枚数を表すパラメータQとする（ステップS93）。No. CBのコードブロックの最下位ビットプレーン側からQ枚分のコーディングパスの符号データの総量 $S_{BP}(CB)$ をメモリA又はメモリBに記憶するデータより求める（ステップS94）。変数 S_{BP} の値に上記 $S_{BP}(CB)$ の値を加算する（ステップS95）。

【0110】

パラメータCBに1を加算する（ステップS96）。ここで、パラメータCBの値がパラメータSBで特定されるサブバンドのコードブロックに割り当てられた番号の最大値である $CB_{SB} \cdot M_{AX}$ 以下の場合には（ステップS97でNO）、上記ステップS93に戻る。他方、パラメータCBの値が上記 $CB_{SB} \cdot M_{AX}$ よりも大きい場合には（ステップS97でYES）、フレーム単位でイネーブルに切り換えるメモリC及びメモリDの内、選択されているメモリのアドレスADD“SB”にオフセットアドレスとして $ADD_{OFF} \times BP$ を加算した値のアドレスに符号データ削減量を表す変数 S_{BP} の値を書き込む（ステップS98）。ここでアドレスADD“SB”は、例えば、パラメータSBが1の場合、アドレスADD 3LLのことを示す。

40

【0111】

パラメータBPに1を加算する（ステップS99）。ここで、パラメータBPの値が46

50

以下の場合（ステップS100でNO）、上記ステップS92に戻る。他方、パラメータBPの値が46を越えた場合、即ち、パラメータSBで特定されるサブバンドの46枚のコーディングパス全てについての処理が終了した場合には（ステップS100でYES）、次のサブバンドについて処理を行うため、パラメータSBの値に1を加算する（ステップS101）。パラメータSBの値が上記定義した最大値である10以下の場合（ステップS102でNO）、上記ステップS91に戻る。パラメータSBの値が10を越えた場合（ステップS102でYES）、全てのサブバンドについての処理が完了したと判断して処理を終了する。

【0112】

なお、上記状態遷移図に基づく処理は、図示しない中央演算処理装置によるソフトウェア処理により実現しても良い。この場合の処理フローチャートは、上記状態遷移図と同じである。

【0113】

図18は、実施の形態3に係る画像圧縮装置300のレートコントロール回路320の構成を示す図である。本図において、実施の形態2に係る画像圧縮装置200のレートコントロール220と同じ構成物には同じ参照番号を付してここでの説明を省略する。

【0114】

図示するように、レートコントロール回路320は、符号量演算回路340の比較器345のみが、実施の形態2に係る画像圧縮装置200のレートコントロール回路220と異なる。即ち、比較器345には、目標とする符号データの削減量が入力されている。これは、メモリC又はメモリDに各サブバンドのコードブロックのコーディングパスのデータを1枚、2枚・・・と削除した場合の符号データの削減量が格納されており、レジスタ242には、各サブバンドの符号データの削減量の合計値が格納されているためである。

【0115】

【発明の効果】

本発明の画像圧縮装置は、処理単位予を更に分割した第2処理単位の係数データの大きさに応じて、当該第2処理単位でさらに符号データの削除を行う、これにより、処理単位で均一に大きく符号データの削除を行う場合に比べて、再生画像の質をできるだけ高いレベルに維持しつつ圧縮率を高めることができる。

【0116】

更に、データNo.の増加に伴い徐々に符号削減量が増加すると共に、画質が劣化するように並べたランケーションデータを予め用意することで、JPEG2000の標準に従いランケーション後の符号を復号してランケーション前の画像との歪み量を調べ、最も歪みの少なくなるランケーション内容を特定するといった処理自体が不要になる利点を持つ。

【図面の簡単な説明】

【図1】実施の形態1に係る画像圧縮装置の実行する符号データの削減処理の概要を説明するための図である。

【図2】画像圧縮装置の構成を示す図である。

【図3】DRAMのメモリマップを示す図である。

【図4】コードブロックのウェーブレット係数の有効画素の平均値を説明するための図である。

【図5】マスキング係数計算回路の構成を示す図である。

【図6】メモリマップを示す図である。

【図7】メモリマップを示す図である。

【図8】データ処理回路の状態遷移図を示す図である。

【図9】レートコントロール回路の構成を示す図である。

【図10】データNo. 切換回路の状態遷移図を示す図である。

【図11】パケット情報生成回路の状態遷移図を示す図である。

【図12】実施の形態2に係る画像圧縮装置の構成を示す図である

10

20

30

40

50

【図13】データ処理回路の状態遷移図を示す図である。

【図14】メモリマップを示す図である。

【図15】レートコントロール回路の構成を示す図である。

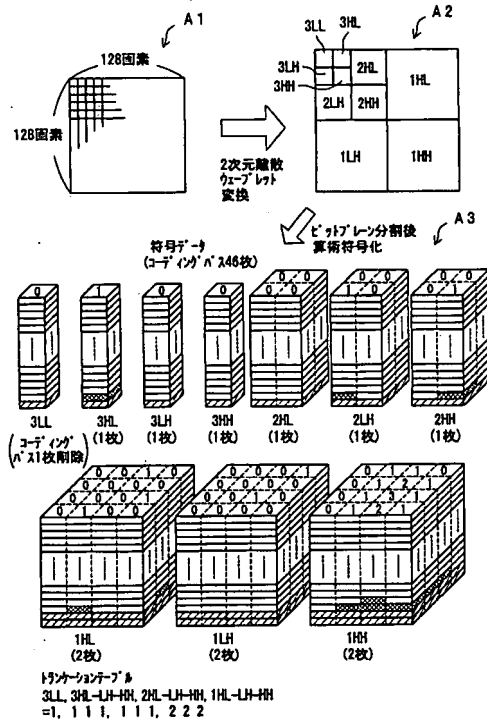
【図16】実施の形態3に係る画像圧縮装置の構成を示す図である。

【図17】データ処理回路の状態遷移図を示す図である。

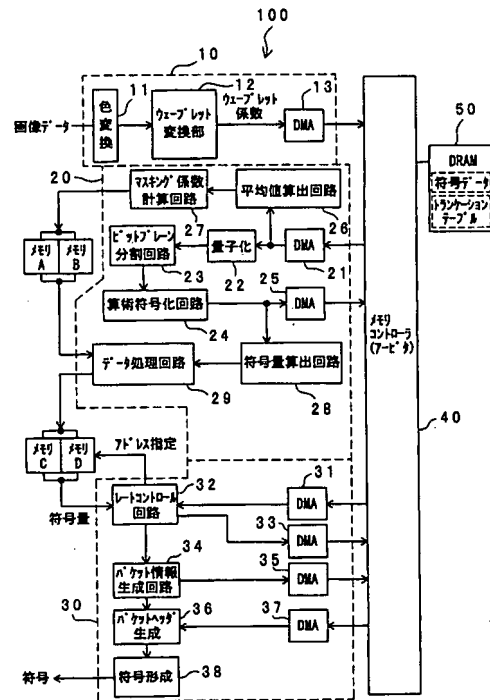
【図18】レートコントロール回路の構成を示す図である。

【符号の説明】29, 210, 310 データ処理回路、32, 220, 320 レートコントロール回路、60, 230 アドレス生成回路、80, 240, 340 符号量演算回路。

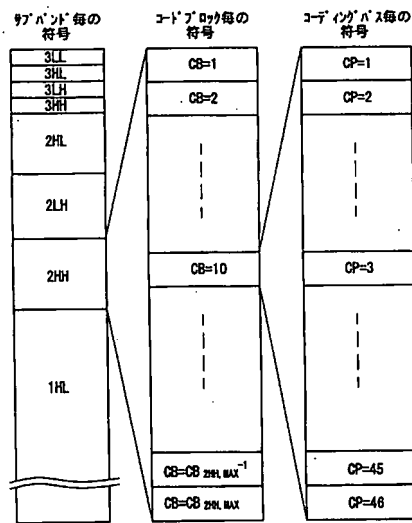
【図1】



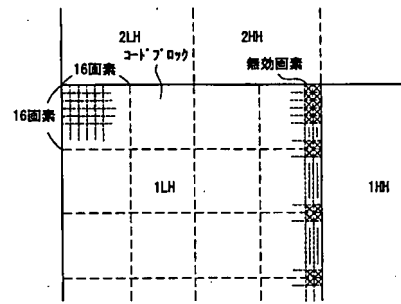
【図2】



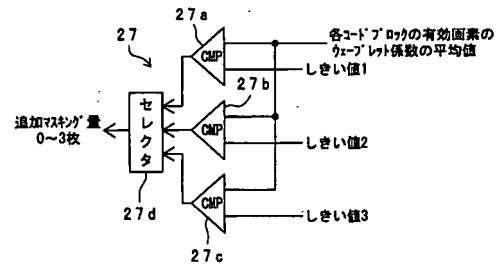
【図 3】



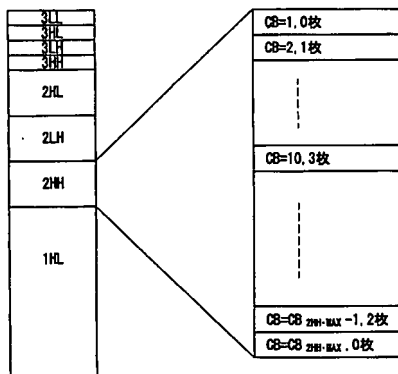
【図 4】



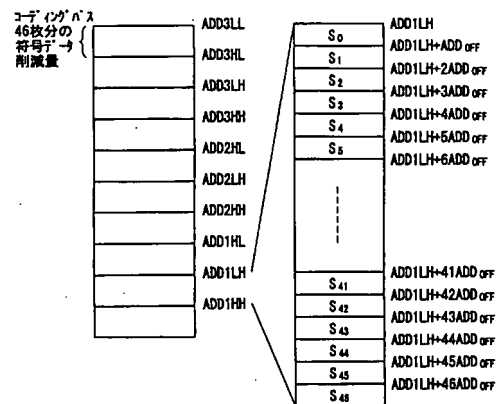
【図 5】



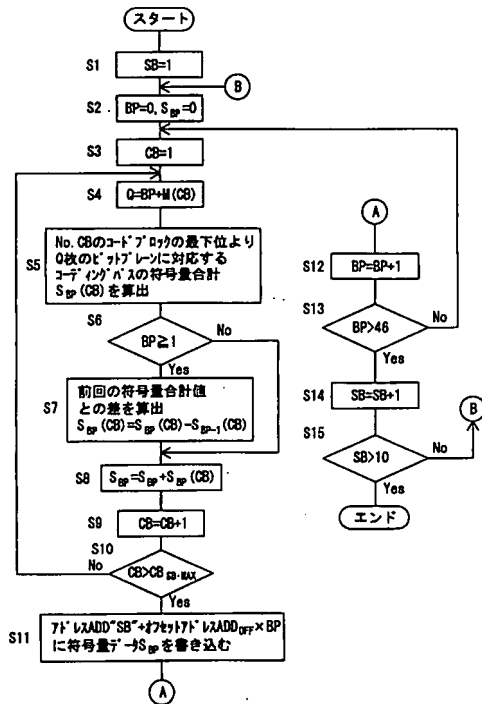
【図 6】



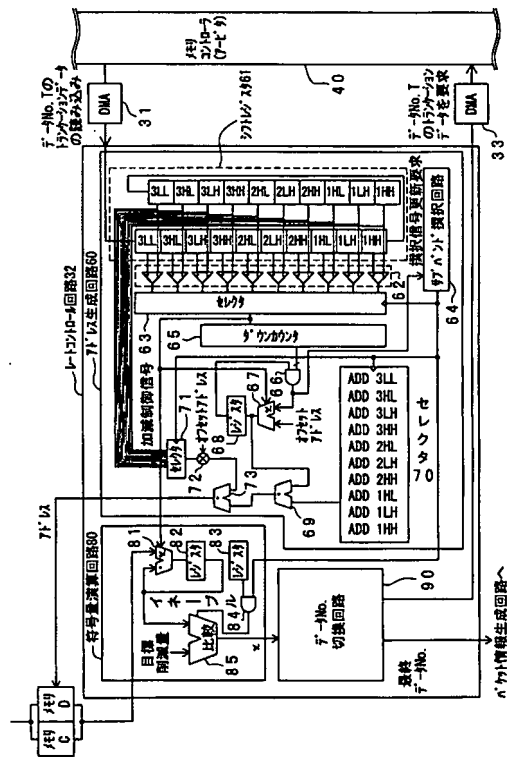
【図 7】



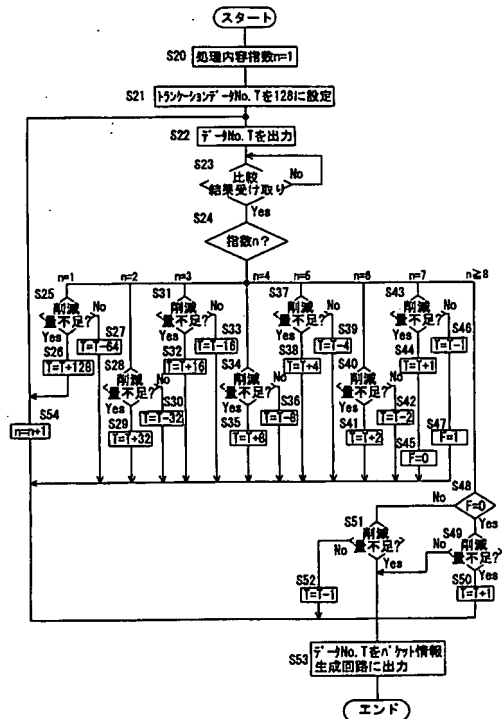
【図 8】



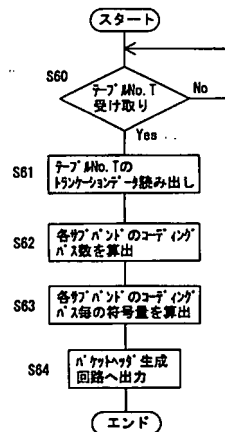
【図 9】



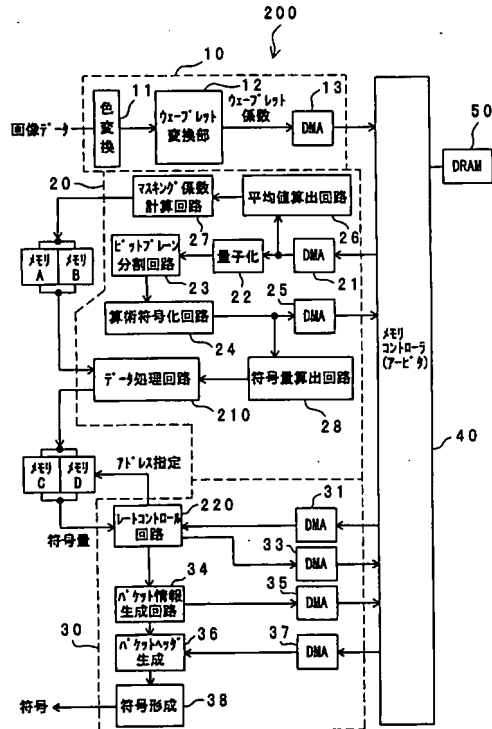
【図 10】



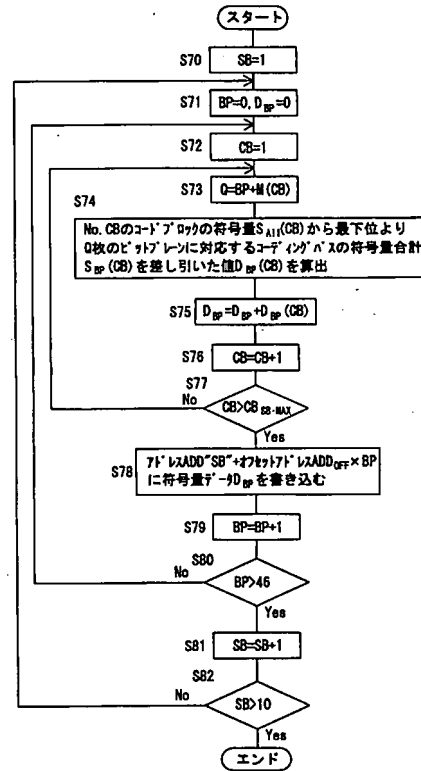
【図 11】



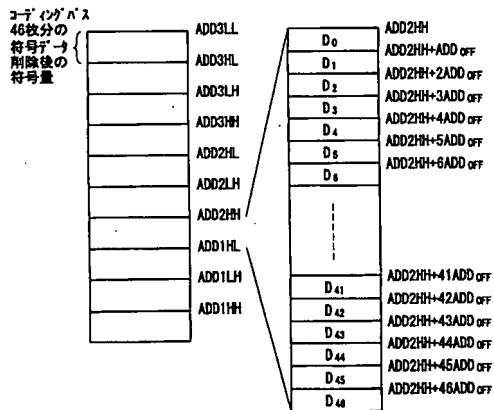
【図12】



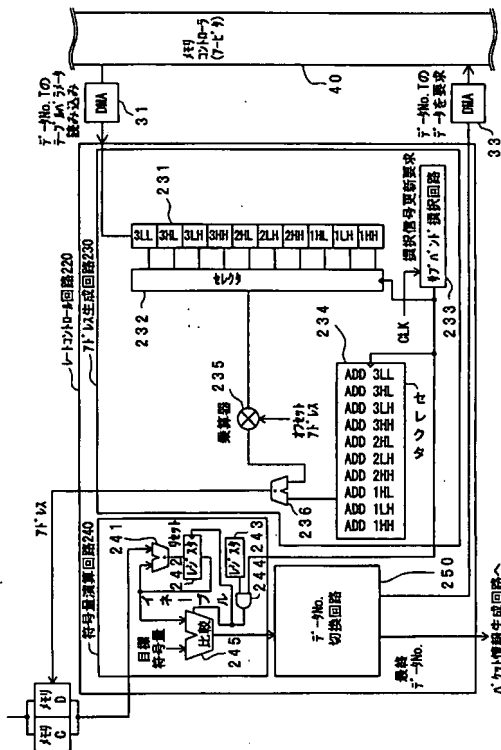
【図13】



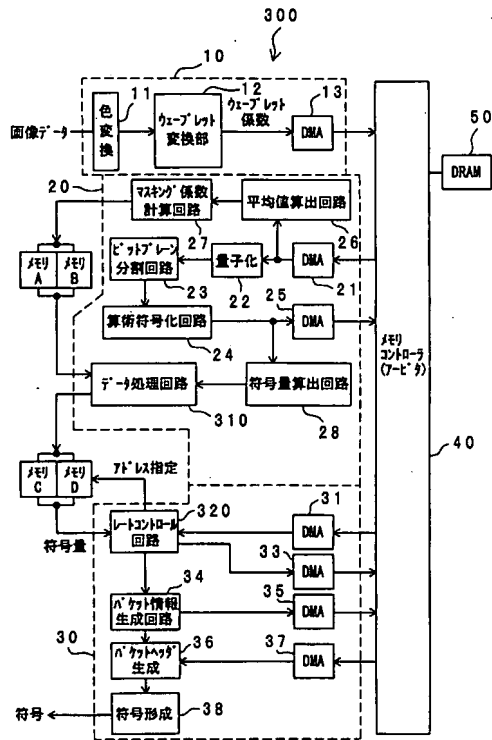
【図14】



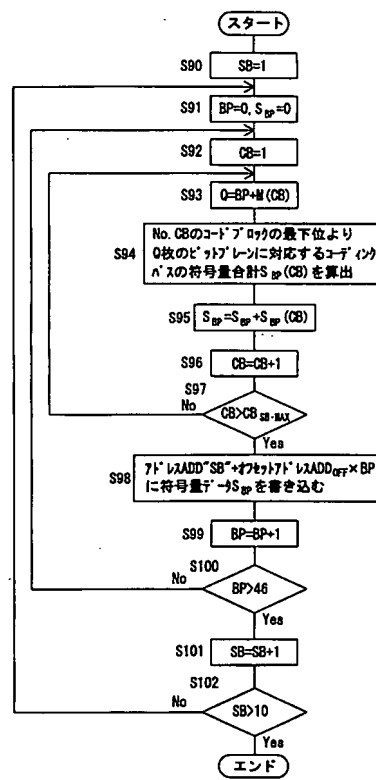
【図15】



【 図 1 6 】



【图 17】



【 図 1 8 】

